

# ADP16F01 数字信号处理器

## 数据手册

编号: JXDZ7.381.012 SJSC

**Advancechip**



**Electronics**

**湖南进芯电子科技有限公司**

2021 年 03 月

V1.2

### 历史版本记录

版本号	时间	起草/ 修改人	内容描述	审核人	批准人
V1.0	2019-11-1	林钊漳	首次发布		
V1.1	2020-04-02	蔡尹	修改电气参数		
V1.2	2021-03-30	曹伦武 / 何龙	修改电气参数		

## 目 录

1 产品特征·····	7
1.1 芯片描述·····	8
1.2 ADP16F01 器件概述·····	9
1.3 产品编码·····	11
1.4 信号说明·····	12
2 功能概述·····	15
2.1 内存映射·····	16
2.2 外设存储器映射·····	17
2.3 设备复位和中断·····	18
2.4 ADP16F01 CPU·····	22
2.5 ADP16F01 指令集·····	22
2.6 寻址模式·····	22
2.7 实时 JTAG 和分析·····	22
2.8 DSP CPU 内部结构·····	24
2.8.1 中央处理器·····	26
2.8.2 输入定标移位器·····	26
2.8.3 乘法器·····	27
2.8.4 中央算术逻辑单元·····	27
2.8.5 累加器·····	27
2.8.6 辅助寄存器算术单元 (ARAU)·····	27
2.9 内部存储器·····	28
2.9.1 双存取 RAM (DARAM)·····	28
2.9.2 单存取 RAM (SARAM)·····	28
2.9.3 引导 BootROM·····	28
2.9.4 闪存 Flash·····	29

2.10 片上 LDO 电源管理	29
3 外设	29
3.1 事件管理器模块 (EM1)	30
3.1.1 通用 (GP) 定时器	32
3.1.2 完全比较单元	32
3.1.3 可编程死区发生器	32
3.1.4 PWM 波形生成	32
3.1.5 PWM 特性	33
3.1.6 捕捉单元	33
• 3.1.7 正交编码脉冲 (QEP) 电路	33
3.2 模数转换器 (ADC)	34
3.2.1 ADC 的特性	34
3.2.2 模数转换 (ADC) 寄存器	35
3.3 运放及复用数字输入 IO	37
3.4 电压比较器	41
3.5 温度传感器	43
3.6 数字延时滤波单元	44
3.7 串行通信接口 (SCI) 模块	45
3.8 串行外设接口 (SPI) 模块	48
3.9 PLL 时钟模块	50
3.9.1 片内高精度 OSC	51
3.9.2 低功耗模式	51
3.9.3 时钟域	51
3.9.4 其他掉电选项	51
3.10 数字 I/O 口以及复用引脚功能	51
3.10.1 复用 I/O 引脚的描述	52
3.10.2 数字 I / O 控制寄存器	54

3.11 看门狗 (WD) 的定时器模块.....	54
4 开发支持.....	56
4.1 软件开发工具.....	56
4.2 硬件开发支持:.....	56
4.3 文档支持.....	57
5 电气规范.....	58
5.1 绝对最大额定值.....	58
5.2 建议的运行条件.....	58
5.3 建议运行温度范围内的电气特性.....	59
5.4 流耗.....	59
5.5 流耗图.....	60
5.6 减少流耗.....	60
5.7 测量参数信息.....	61
5.8 信号转换电平.....	61
5.9 时序参数符号.....	62
5.10 定时参数的通用注释.....	63
5.11 用于 PLL 电路启用的外部参考晶振/时钟.....	63
5.12 复位时序.....	64
5.13 低功耗模式时序.....	67
5.14 LPM2 唤醒定时.....	68
5.15 时序事件管理.....	70
5.15.1 PWM 时序.....	70
5.15.2 捕捉单元和 QEP 时序.....	71
5.15.3 中断时序.....	71
5.16 通用输入/输出时序.....	72
5.17 SPI 主模式时序参数.....	73
5.18 SPI 受控模式时序参数.....	78

5.19 12 位模数转换器 (ADC) .....	81
5.20 建议运行环境.....	81
5.21 ADC 运行频率.....	82
5.22 Flash 参数.....	82
5.23 在推荐运行条件范围下的 ADC 电气特性.....	82
6 机械数据.....	85

## 1 产品特征

### •采用高性能 CMOS 工艺

- 工作主频 40MHz
- 低功耗设计 (内核 1.8V , I/O 电压 3.3V)
- 集成片内 1.8V 线性稳压电源 (LDO)

### •支持 JTAG 在线仿真

### •高性能 16 位 CPU

- 单周期 16 位 x16 位乘累加(MAC)运算
- 哈佛(Harvard)总线架构
- 快速中断响应和处理
- 可使用 C/C++ 和汇编语言高效率编程

### •片内存储器资源

- B0 和 B1: 2 块 256 x 16 位 DARAM
- B2: 32x16 位 DARAM
- I0: 2K x 16 位 SARAM
- 32K x 16 位 Flash
- 512 x 16 位 ROM

### •时钟和系统控制

- 支持动态锁相环(PLL)分频系数调整
- 片内振荡器
- 看门狗定时器

### •2 个外部中断接口

### •支持串口 SCI 引导程序烧录

### •支持 29 个外设中断的外设中断扩展块(PIE)

### •电机控制外设 (PWM 产生电路)

- 事件管理器 1(EM1)
- 包括: 2 个 16 位定时器, 7 个数值比较器/PWM 输出, 3 个捕获单元, 1 组正交编码单元。

### •串行端口外设

- 串行外设接口(SPI)
- 串行通信接口(SCI), 兼容通用异步收发(UART) 标准

### •12 位 16 通道模数转换器(ADC)

- 2 x 8 通道输入复用器
- 两个采样保持电路

- 单一/同步转换
- 快速转换速率: 300ns/3.33MSPS
- 4 个片内运算放大器
- 5 个电压比较器
- 温度传感器
- 23 个通用 I/O (GPIO) 引脚
  - 8 个复用数字输入通道
- 先进的仿真功能
  - 分析和断点功能
  - 基于硬件的实时调试

#### 开发工具

- ANSI C/C++ 编译器/汇编语言/连接器
- 支持 Code Composer Studio™ IDE
- 支持 DSP/BIOS™
- JTAG 仿真器
- 低功耗模式和省电模式
  - 支持 IDLE (空闲)、STANDBY (待机)、HALT (暂停) 模式
  - 可禁用独立外设时钟
- 强大的静电泄放(ESD)防护能力
  - ESD 人体模式(HBM): +2000V/-2000V
  - ESD 机器模式(MM): +400V/-400V
  - 门锁效应(Latch-up)触发电流: 400mA
- 封装选项
  - LQFP48
- 温度范围
  - S<sub>0</sub>: (-20°C~125°C)

## 1.1 芯片描述

ADP16x 器件提供增强型 DSP 架构设计, 以实现低成本, 低功耗和高性能处理能力。为数字电机和运动控制应用而优化的几种高级外设已经被集成, 以提供一个真正的单芯片 DSP 控制器。与现有的 DSP 控制器设备代码兼容时, ADP16x 提供更高的处理性能和更高水平的外设集成。请参阅 “ADP16x 器件概述” 手册了解器件特定功能。

ADP16x 器件提供了一系列内存大小和不同的外设, 以满足各种应用所需的特定性价比。高达 32K x 16bit 闪存设备为批量生产提供了经济高效的可重编程解决方案。



所有 ADP16x 器件至少提供一个事件管理器模块，该模块已针对数字电机控制和功率转换应用进行了优化。该模块的功能包括中心和/或边沿对齐的 PWM 产生，防止直通故障的可编程死区以及同步模数转换。

高性能 12 位模数转换器 (ADC) 的最小转换时间为 300ns，可提供多达 16 个通道的模拟输入（其中 A3 通道用于内部温度传感器）。ADC 的自动排序功能允许在单个转换会话中最多进行 16 次转换，而无需任何 CPU 开销。

串行通信接口 (SCI) 集成在所有设备上，为系统中的其他设备提供异步通信。对于需要额外通信接口的系统，ADP16F01 提供一个 16 位同步串行外设接口 (SPI)。为了最大限度地提高器件灵活性，功能引脚也可以配置为通用输入/输出 (GPIO)。

为了简化开发时间，JTAG 兼容的基于扫描的仿真已经集成到 ADP16x 所有器件中。提供了调试数字控制系统所需的非嵌入式实时功能。从业界标准的 C 编译器到 Code ComposerStudio® 调试器的一整套代码生成工具都支持这个系列。许多第三方开发者不仅提供器件的开发工具，还提供系统级的设计和开发支持。

## 1.2 ADP16F01 器件概述

表 1-2 ADP16F01 器件的硬件特性

特征		ADP16F01
指令周期 (40MHz)		25ns
SRAM (16 位/字)	双端口 RAM	544 x16
	单端口 RAM	2K x16
Flash		32K x16
ROM		512 x16
事件管理器 1		EM1
*通用定时器		2
*互补带死区控制 PWM/脉宽调制 PWM		6/7
*捕获/正交解码脉冲电路		3/2
看门狗定时器		有
ADC		12 位
*通道数		16
*转换时间		300ns
运放		4 个
电压比较器		5 个
温度传感器		1 个
SPI		1 个

SCI	1 个
通用 I/O	23 个
外部中断源	2 个
供电电压	$V_{IO}=3.3v$
封装	LQFP48

ADP16F01-LQFP, 48PIN 封装引脚分配图如图 1-2, 引脚说明请见[表 1-4](#)。

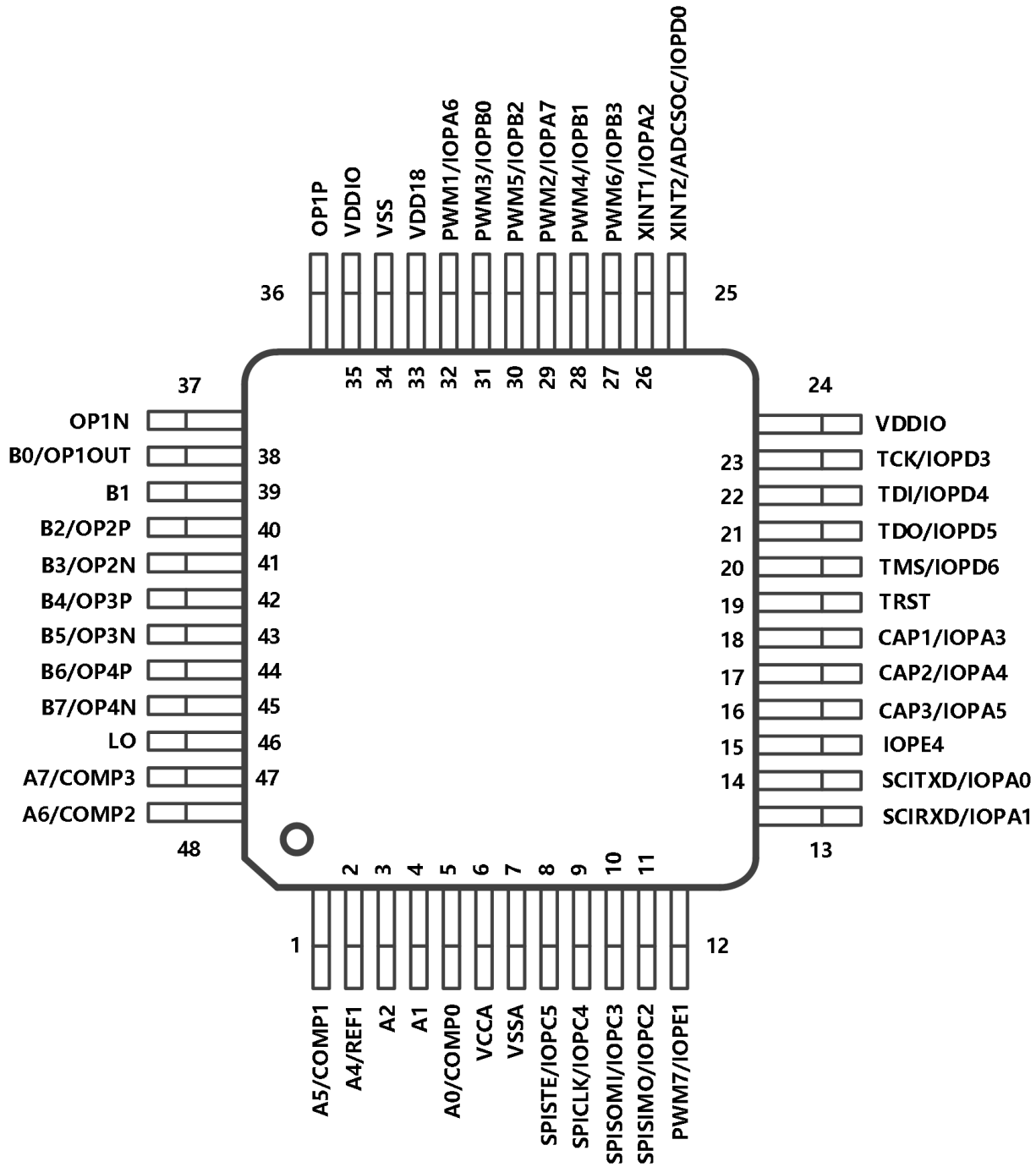
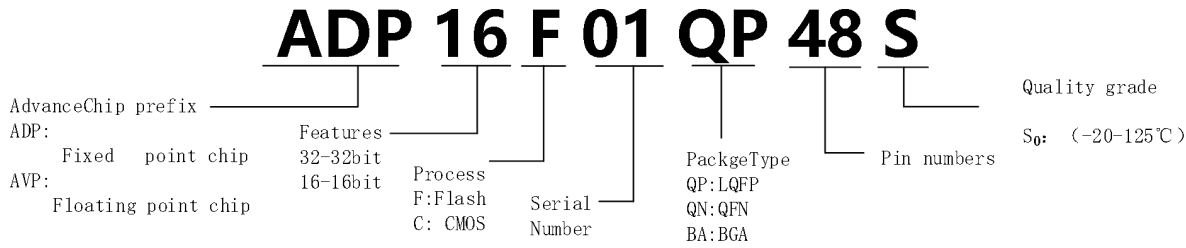


图 1-2 封装引脚图(顶视图)

### 1.3 产品编码

ADP16F01 产品代号编码规则:



## 1.4 信号说明

所有的信号都可以在 ADP16F01 设备上使用。表 1-4 列出了 ADP16F01 设备中可用的信号。

表 1-4 信号说明

引脚名称	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
<b>JTAG</b>				
TRST	19	I	PD	带内部下拉的 JTAG 测试复位。当它为高电平时扫描系统控制器运行。若信号悬空或为低电平，控制器运行在功能模式，并且测试复位信号无效
TCK/IOPD3	23	I	PU	JTAG 测试时钟，带有内部上拉功能
TMS/IOPD6	20	I	PU	JTAG 测试模式选择端，有内部上拉功能，在 TCK 的上升沿 TAP 控制器计数一系列的控制输入
TDI/IOPD4	22	I	PU	带上拉功能的 JTAG 测试数据输入端。在 TCK 的上升沿，TDI 被锁存到选择寄存器、指令寄存器或数据寄存器中
TDO/IOPD5	21	O/Z	PD	JTAG 扫描输出，测试数据输出。在 TCK 的下降沿将选择寄存器的内容从 TDO 移出
<b>Boot 引导</b>				
IOPE4	15	I/O	PU	BOOT 引导模式切换或通用 I/O
<b>串口通信 (SCI) 、串行外部设备接口 (SPI)</b>				
SCITXD/IOPA0	14	I/O/Z	PU	SCI 异步串行口发送数据引脚或通用 I/O
SCIRXD/IOPA1	13	I/O/Z	PU	SCI 异步串行口接收数据引脚或通用 I/O
SPICLK/IOPC4	9	I/O/Z	PU	SPI 时钟引脚或通用 I/O
SPISIMO/IOPC2	11	I/O/Z	PU	SPI 从动输入、主控输出引脚或通用 I/O
SPISOMI/IOPC3	10	I/O/Z	PU	SPI 从动输出、主控输入引脚或通用 I/O
SPISTE/IOPC5	8	I/O/Z	PU	SPI 从动发送使能 (可选) 引脚或通用 I/O

**表 1-4 信号说明 (续)**

引脚名称	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
<b>外部中断</b>				
XINT1/IOPA2	26	I/O/Z	PU	外部用户中断 1 或通用 I/O。XINT1、2 都是边沿信号有效，边沿极性可编程
XINT2/ADCSC C/IOPD0	25	I/O/Z	PU	外部用中断 2 可作 AD 转换开始输入引脚或通用 I/O。XINT1、2 都是边沿信号有效，边沿极性可编程
<b>事件管理器 EM1</b>				
CAP1/IOPA3	18	I/O/Z	PU	捕捉输入#1/正交编码脉冲输入#1 (EM1) 或通用 I/O
CAP2/IOPA4	17	I/O/Z	PU	捕捉输入#2/正交编码脉冲输入#2 (EM1) 或通用 I/O
CAP3/IOPA5	16	I/O/Z	PU	捕捉输入#3 (EM1) 或通用 I/O
PWM1/IOPA6	32	I/O/Z	Z	比较/PWM 输出引脚#1 或通用 I/O
PWM3/IOPB0	31	I/O/Z	Z	比较/PWM 输出引脚#3 或通用 I/O
PWM5/IOPB2	30	I/O/Z	Z	比较/PWM 输出引脚#5 或通用 I/O
PWM2/IOPA7	29	I/O/Z	Z	比较/PWM 输出引脚#2 或通用 I/O
PWM4/IOPB1	28	I/O/Z	Z	比较/PWM 输出引脚#4 或通用 I/O
PWM6/IOPB3	27	I/O/Z	Z	比较/PWM 输出引脚#6 或通用 I/O
PWM7/IOPE1	12	I/O/Z	PU	PWM 输出引脚#7 或通用 I/O/外部时钟输入
<b>数字 IO 及内核供电</b>				
VDDIO	24、35	-	-	数字 3.3V 电源引脚
VDD	33	-	-	内部 LDO1.8V 电源
VSS	34	-	-	数字地

- (1) GPIO 通用输入/输出引脚，所有 GPIO 在复位后默认为输入状态
- (2) 建议模拟电源地与数字电源地隔离以保持指定精度
- (3) PU 表示片内默认上拉，PD 表示片内默认下拉，Z 代表高阻

**表 1-4 信号说明 (续)**

引脚名称	引脚编号 QFP48 封装	I/O/Z	PU/PD	说明
<b>ADC 模拟输入信号</b>				
ADCINA0/COMP0	5	I	-	ADC 输入 A0/比较器 0 (双门限) 输入端
ADCINA1	4	I	-	ADC 输入 A1
ADCINA2	3	I	-	ADC 输入 A2/运放 1 输入正端
ADCINA4/REF1	2	I	-	ADC 输入 A4/比较器 1、2、3 参考电压输入
ADCINA5/COMP1	1	I	-	ADC 输入 A5/比较器 1 输入端
ADCINA6/COMP2	48	I	-	ADC 输入 A6/比较器 2 输入端
ADCINA7/COMP3	47	I	-	ADC 输入 A7/比较器 3 输入端
ADCINB0	38	I	-	ADC 输入 B0/运放 1 输出端
ADCINB1	39	I	-	ADC 输入 B1
ADCINB2/OP2P	40	I	-	ADC 输入 B2/运放 2 输入正端/GPIOF2 输入
ADCINB3/OP2N	41	I	-	ADC 输入 B3/运放 2 输入负端/GPIOF1 输入
ADCINB4/OP3P	42	I	-	ADC 输入 B4/运放 3 输入正端/GPIOF0 输入
ADCINB5/OP3N	43	I	-	ADC 输入 B5/运放 3 输入负端/GPIOE7 输入
ADCINB6/OP4P	44	I	-	ADC 输入 B6/运放 4 输入正端/GPIOE6 输入
ADCINB7/OP4N	45	I	-	ADC 输入 B7/运放 4 输入负端/GPIOE5 输入/PDPINTA
ADCLO	46	-	-	ADC 及运放参考地
VCCA	6	-	-	ADC 模拟 3.3V 电源
VSSA	7	-	-	ADC 模拟 GND
OP1P	36	I	-	运放 1 输入正端/GPIOF4 输入
OP1N	37	I	-	运放 1 输入负端/GPIOF3 输入

## 2 功能概述

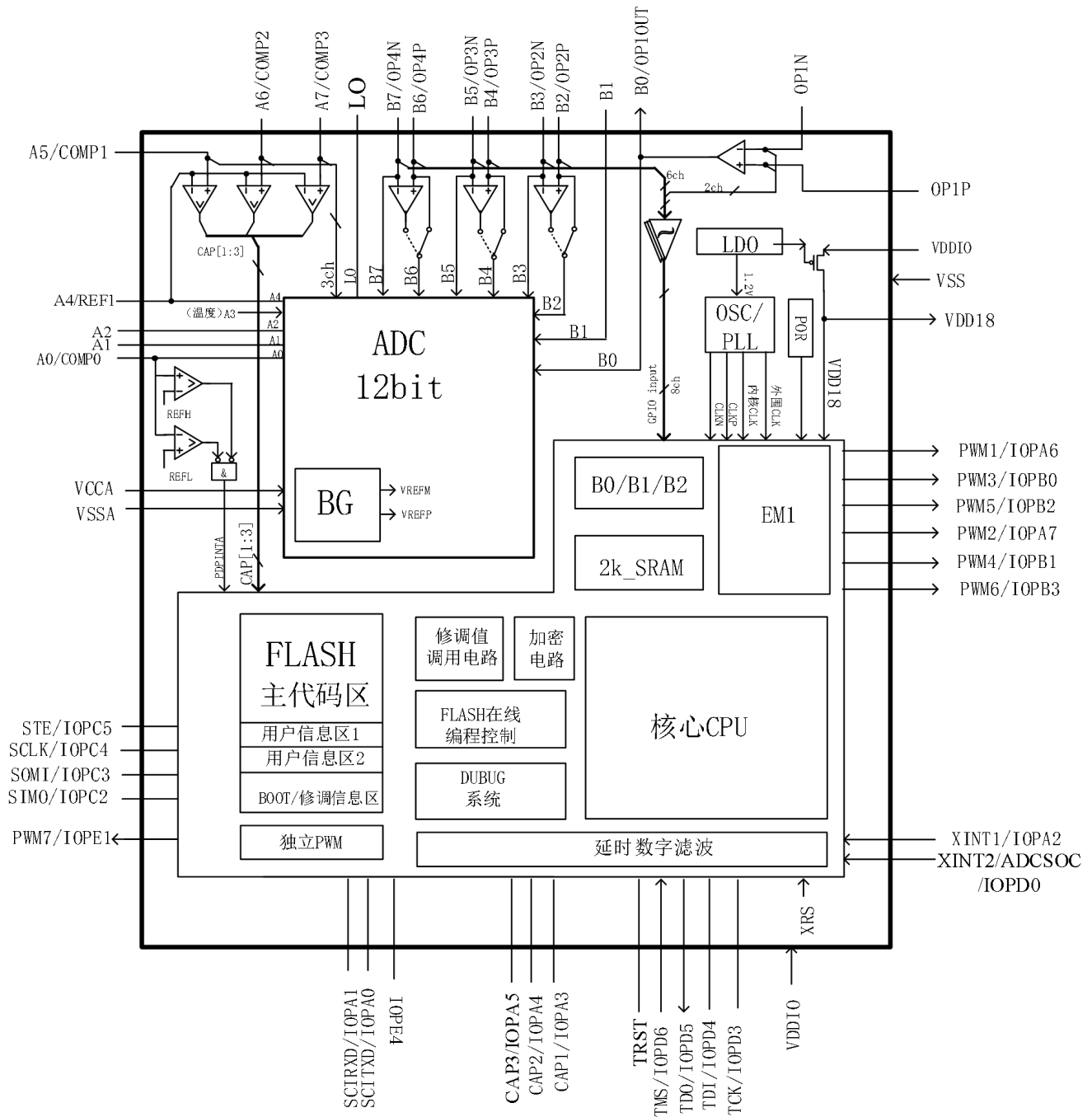
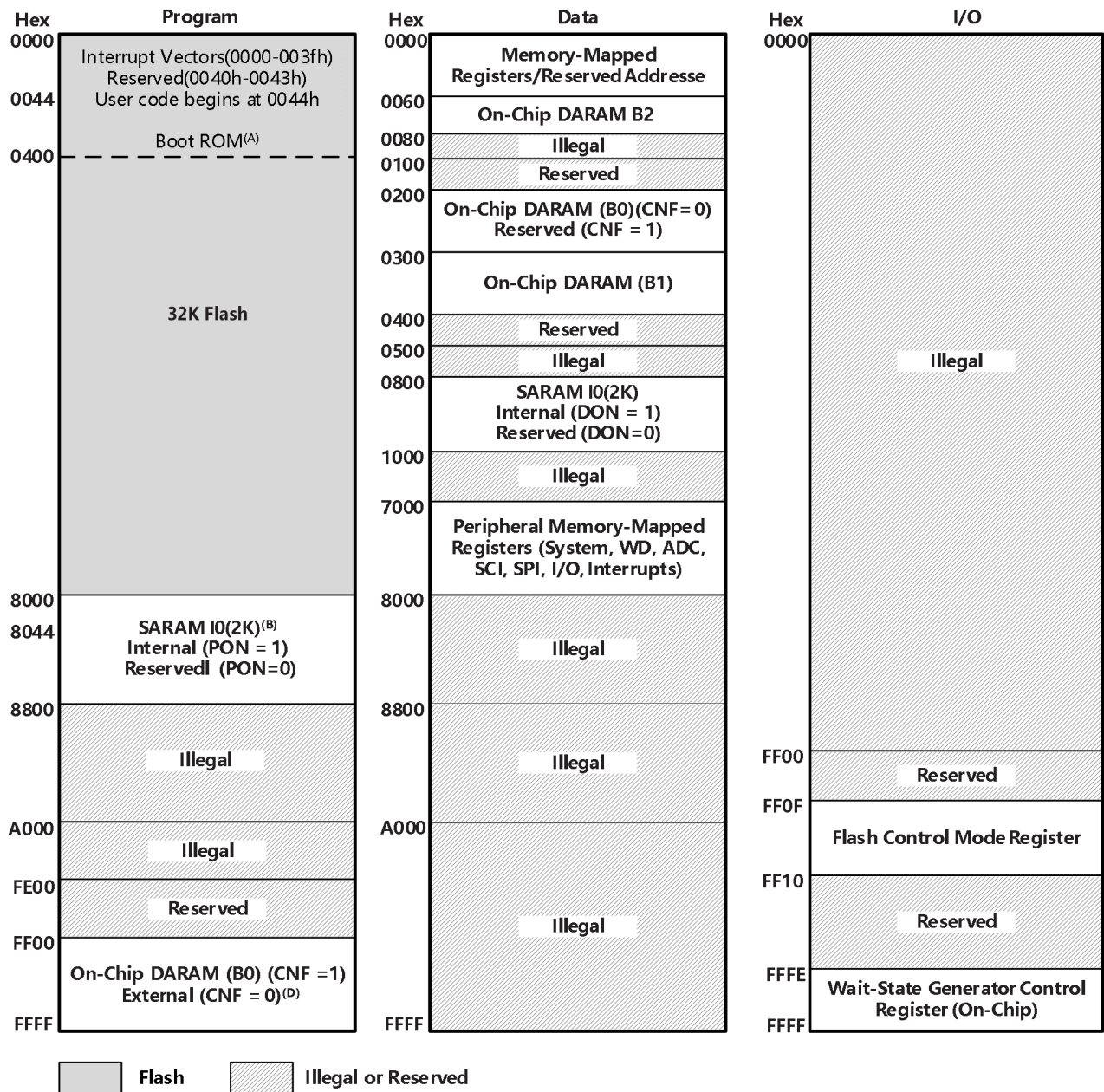


图 2 ADP16F01 功能框图

## 2.1 内存映射



(A) Boot ROM: Boot ROM 共用片内 Flash 地址: 0x0000-0x0200, 启动时先执行 BOOTROM 代码

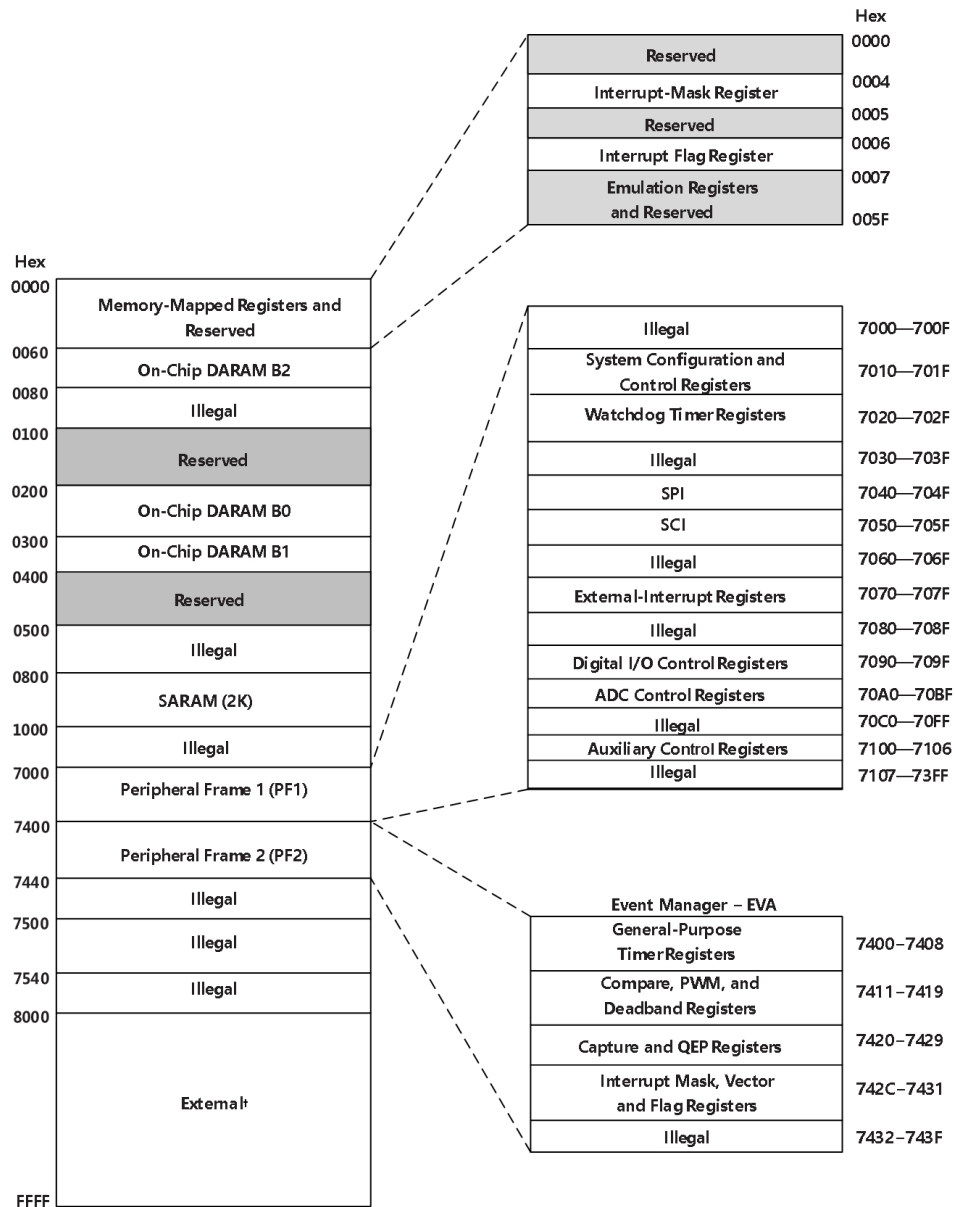
(B) 单周期访问 RAM I/O, 配置 PON, DON 来选则程序或者数据空间。

(C) 双口 RAM B0, 通过配置 CNF 来选则程序或者数据空间。

图 2-1 ADP16F01 存储空间映射



## 2.2 外设存储器映射



Illegal

"Illegal" indicates that access to these addresses causes a nonmaskable interrupt (NMI).

Reserved

"Reserved" indicates addresses that are reserved for test. Accessing the "Reserved" locations can cause unpredictable results.

图 2-2 ADP16F01 外设空间映射

## 2.3 设备复位和中断

ADP16F01 软件可编程中断结构灵活支持片内和外部中断配置以满足实时中断驱动的应用程序需求。

ADP16F01 可以识别三种类型的中断源。

- 复位（由硬件或软件启动）不受 CPU 的限制，并立即优先于任何其他执行功能。所有可屏蔽的中断都被禁用，直到复位服务程序启用它们。

ADP16F01 器件复位源：一个看门狗定时器超时（复位）。

- 硬件产生的中断请求有外部引脚和片上外设请求。这两种类型如下：
  - 外部中断请求由 XINT1、XINT2 和电压比较器（输出 PDPINTA 信号）产生。这三个外部中断信号由 CPU 的中断屏蔽寄存器（IMR）使能或者屏蔽，IMR 寄存器可以屏蔽 DSP 内核的每个可屏蔽中断线。
  - 外设中断是由片上事件管理器 EM1，SPI，SCI,ADC 外设模块事件触发产生。它们可以通过每个外设中的每个事件的使能位以及 CPU 的 IMR 来屏蔽，IMR 寄存器可以屏蔽 DSP 内核中的每个可屏蔽中断线。
- ADP16F01 器件的软件产生的中断包括：
  - INTR 指令。该指令允许用软件初始化任何 ADP16F01 中断。其操作数表示 CPU 分支到的中断向量位置。该指令可禁止全局可屏蔽中断（将 INTM 位置 1）。
  - NMI 指令。该指令迫使分支中断向量指向位置 24H。该指令可禁止全局可屏蔽中断。ADP16F01 设备没有 NMI 硬件信号，只支持软件触发。
  - TRAP 指令。该指令迫使 CPU 分支以中断向量位置 22H。TRAP 指令不能禁止可屏蔽中断（INTM 未设置为 1）；因此，当 CPU 分支到中断服务程序时，该程序可被可屏蔽硬件中断中断。
  - 仿真器陷阱 该中断可以通过 INTR 指令或 TRAP 指令产生

六个内核中断（INT1-INT6）与外设中断(PIE)进行扩展，PIE 管理来自外设级中断，并分组到六个内核中断。图 2-3 描述了硬件中断 PIE 图，PIE 框图(图 2-3)和中断(表 2-3)描述了 PIE 与 CPU 中断向量对应关系。

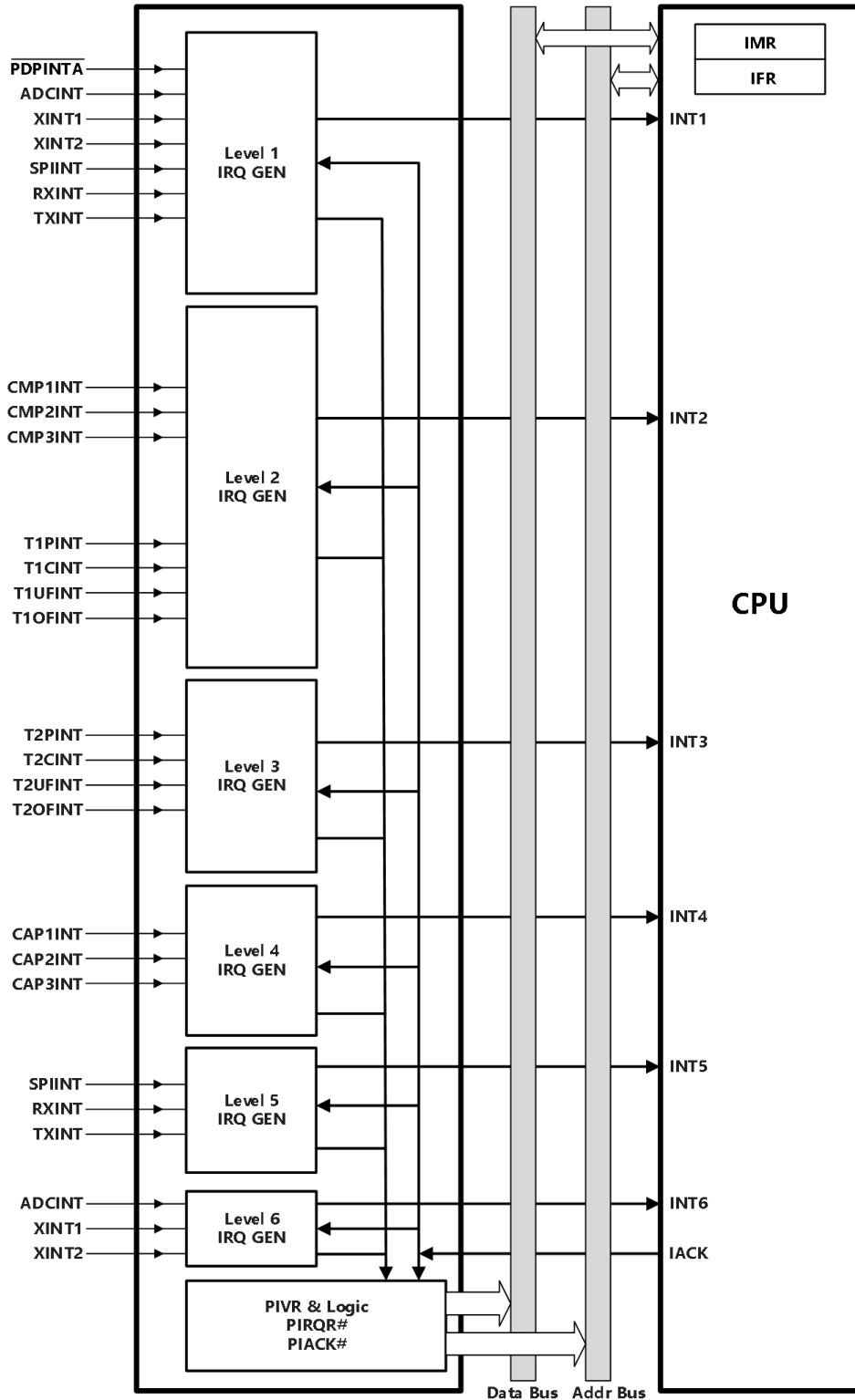


图 2-3 外设中断扩展 (PIE) 模块框图

表 2-3 ADP16F01 中断源优先级和中断向量表

中断名称	优先级	CPU 中断 向量地址	PIRQRx 和 PIACKRx 对应 bit 位	外设中断 向量 (PIE)	可屏蔽 中断是否	外设模块	描述
Reset	1	RSN 0000h		N / A	否	看门狗	看门狗超时复位
Reserved	2	- 0026h		N / A	否	CPU	仿真器陷阱
NMI	3	NMI 0024h		N / A	否	非屏蔽中断	不可屏蔽中断, 软件中断
PDPINTA	4	INT1 0002h	0.0	0020h	是	EM1	电力设备保护中断引脚
ADCINT	5		0.1	0004h	是	ADC	ADC 中断 (高优先级模式)
XINT1	6		0.2	0001h	是	外部中断逻辑	外部中断引脚 (高优先级模式)
XINT2	7		0.3	0011h	是	外部中断逻辑	外部中断引脚 (高优先级模式)
SPIINT	8		0.4	0005h	是	SPI	SPI 中断引脚 (高优先级模式)
RXINT	9		0.5	0006h	是	SCI	SCI 接收中断 (高优先级模式)
TXINT	10		0.6	0007h	是	SCI	SCI 发送中断 (高优先级模式)
CMP1INT	11		INT2 0004h	0.9	0021h	是	EM1
CMP2INT	12	0.10		0022h	是	EM1	比较器 2 产生中断
CMP3INT	13	0.11		0023h	是	EM1	比较器 3 产生中断
T1PINT	14	0.12		0027h	是	EM1	定时器 1 周期中断
T1CINT	15	0.13		0028h	是	EM1	定时器 1 比较中断
T1UFINT	16	0.14		0029h	是	EM1	定时器 1 下溢中断
T1OFINT	17	0.15		002Ah	是	EM1	定时器 1 溢出中断

表 2-3 ADP16F01 中断源优先级和中断向量表 (续)

中断名称	优先级	CPU 中断 向量地址	PIRQRx 和 PIACKRx 对应 bit 位	外设中断 向量 (PIE)	可屏蔽 中断是否	外设模块	描述
T2PINT	18	INT3 0006h	1.0	002Bh	是	EM1	定时器 2 周期中断
T2CINT	19		1.1	002Ch	是	EM1	定时器 2 比较中断
T2UFINT	20		1.2	002Dh	是	EM1	定时器 2 下溢中断
T2OFINT	21		1.3	002Eh	是	EM1	定时器 2 溢出中断
CAP1INT	22	INT4 0008h	1.4	0033h	是	EM1	捕获 1 中断
CAP2INT	23		1.5	0034h	是	EM1	捕获 2 中断
CAP3INT	24		1.6	0035h	是	EM1	捕获 3 中断
SPIINT	25	INT5 000Ah	1.7	0005h	是	SPI	SPI 中断 (低优先级)
RXINT	26		1.8	0006h	是	SCI	SCI 接收中断 (低优先级模式)
TXINT	27		1.9	0007h	是	SCI	SCI 发送中断 (低优先级模式)
ADCINT	28	INT6 000Ch	1.12	0004h	是	ADC	ADC 中断 (低优先级模式)
XINT1	29		1.13	0001h	是	外部中断逻辑	外部中断引脚 (低优先级模式)
XINT2	30		1.14	0011h	是	外部中断逻辑	
保留的 陷阱	N / A	000Eh 0022h		N / A	是 N / A	中央处理器	保留 TRAP 指令
假中断向量	N / A	N / A		0000h	N / A	中央处理器	假中断中断向量
INT8-INT16	N / A	0010h-0020h		N / A	N / A	中央处理器	软件中断向量
INT20-IN31	N / A	0028h-003Fh		N / A	N / A	中央处理器	

## 2.4 ADP16F01 CPU

ADP16F01 器件采用先进的哈佛架构，独立的程序总线 and 数据总线，多总线结构允许 CPU 同时访问程序指令和数据存储器，使用四级流水线作业，具有高速运行的特点；单周期指令执行时间高达 25ns，即 40MIPS 的处理能力，了解更多信息请看 ADP16F01 CPU 框图（图 2-7）。

## 2.5 ADP16F01 指令集

ADP16F01 微处理器实现了一个支持数字密集型处理与应用程序开发的综合指令集，如多任务处理和高速控制，为了获得最大的吞吐量，下一条指令在当前执行时被预取。数据总线用于与外部数据，程序，I/O 空间通讯，周期个数因指令执行要求而不同，取决于操作数是否从片内内存读取或者片外内存读取，要实现数据最大吞吐量需使用片上内存或者片外高速内存

## 2.6 寻址模式

ADP16F01 指令集提供四种基本的存储器寻址模式：直接，间接，立即和寄存器。在直接寻址中，指令字包含数据存储器地址的低 7 位。该字段与数据存储器页指针（DP）的 9 位组合成 16 位数据存储器地址。因此，在直接寻址模式下，数据存储器总共有 512 页，每页包含 128 个字。间接寻址通过辅助寄存器访问数据存储器。在这种寻址模式下，指令操作数的地址被包含在当前选择辅助寄存器中。八个辅助寄存器（AR0-AR7）提供灵活而强大的间接寻址。为了选择一个特定的辅助寄存器，辅助寄存器指针（ARP）分别从 AR0 到 AR7 加载一个 0 到 7 的值。

## 2.7 实时 JTAG 和分析

ADP16F01 执行标准 IEEE 1149.1 JTAG 接口。支持实时运行模式，在处理器正在运行，执行代码并且处理中断时，可修改存储器内容、外设、和寄存器位置，用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的时间关键中断，在 CPU 的硬件内执行实时模式。

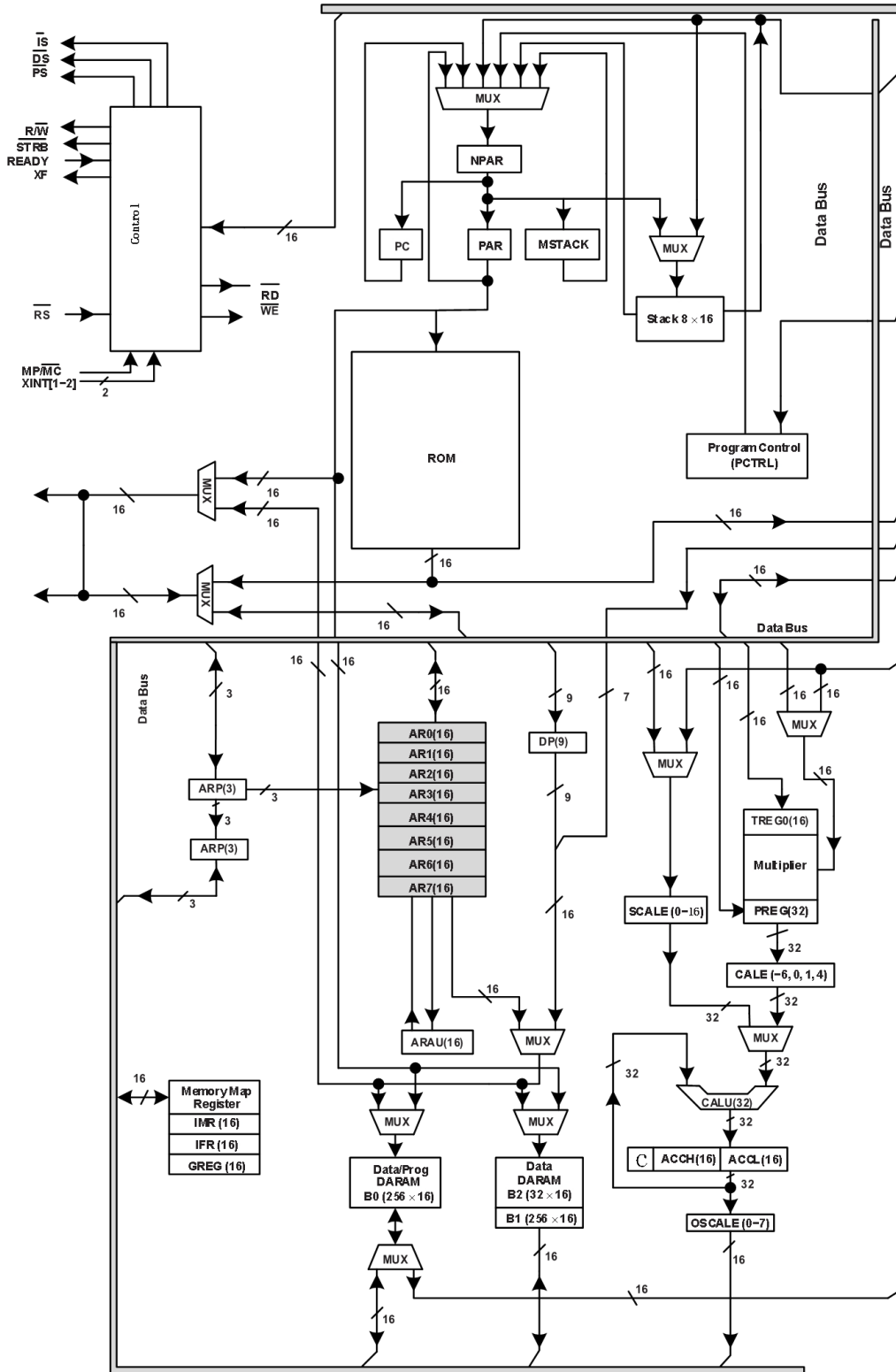


图 2-7 ADP16F01CPU 的功能框图

## 2.8 DSP CPU 内部结构

表 2-8-1 ADP16F01 DSP CPU 内部硬件说明

符号	名称	描述
ACC	累加器	32 位寄存器存储结果，并用于随后的 CALU 操作提供输入。此外，还包括位移和回转功能
ARAU	辅助寄存器算术单元	一个无符号的 16 位运算单元，使用辅助寄存器作为输入和输出，用来计算间接地址。
AUX REGS	辅助寄存器 0-7	这些 16 位寄存器可以作为地址指针指向存储器任意地址。它们由 ARAU 操作并由辅助寄存器指针 (ARP) 选择。AR0 还可以作为一个索引值来作为 AR 更新的一个索引值，并且作为与 AR 的比较值。
C	进位位	从 CALU 寄存器进位输出。C 被反馈到 CALU 进行扩展算术运算。C 位包含在状态寄存器 1 (ST1)，并且可以在条件指令中进行测试。C 也可以在累加器移位和回转。
CALU	中央算术逻辑单元	CPU 中 32 位主算术逻辑单元，CALU 在单个机器周期中执行 32 位操作。CALU 使用来自 ISCALE 或 PSCALE 的数据以及来自 ACC 的数据操作，并向 PCTRL 提供状态结果。
DARAM	双口 RAM	如果芯片上的 RAM 配置控制位 (CNF) 被设置为 0，可重新配置数据的双存取 RAM (DARAM) 块 B0 被映射到数据空间；否则，B0 被映射到程序空间。块 B1 和 B2 被映射到唯一的数据存储器空间，在地址 0300-03FF 和 0060-007F，B0 和 B1 包含 256 个字，B2 包含 32 个字。
DP	数据存储器页指针	9 位 DP 寄存器与指令字的 7 个最低有效位 (LSB) 组合形成 16 位直接存储器地址。DP 可以由 LST 和 LDP 指令修改。
GREG	全局存储器分配寄存器	GREG 指定全局数据存储空间的大小。由于在 ADP16F01 器件中没有使用全局内存空间，所以这个寄存器是保留的。
IMR	中断屏蔽寄存器	CPU 级中断使能屏蔽寄存器。
IFR	中断标志寄存器	CPU 级中断标志寄存器。。
INT #	中断陷阱	总共 32 个中断通过硬件和/或软件的方式产生。
ISCALE	输入移位器	16-32 位的左移器。ISCALE 将传入 16 位数据相对于 32 位移位 0 至 16 位在获取周期内输出；因此对于输入移位操作，不需要任何循环开销。
MPY	乘法器	16x16 位乘法器输出 32 位乘积。MPY 在单周期执行乘法。MPY 可工作符号或无符号二进制补码算术乘法。
MSTACK	微堆栈	MSTACK 为下一个指令的地址提供临时存储。
MUX	复用器	总线多路复用到一个通用输入
NPAR	下一个程序地址寄存器	NPAR 在下一个周期内将程序地址放在 PAB 上。
OSCALE	输出数据缩放移位器	16-32 位的左移器。OSCALE 将 32 位的累加器输出 0 移至左侧 7 位进行量化管理并将移位的 32 位数据一半高 16 位或者低 16 位输出写入到数据总线 (DWEB)。
PAR	程序地址寄存器	PAR 保存当前在 PAB 上运行地址，用于完成当前总线周期的所有内存操作所需的多个循环。
PC	程序计数器	PC 增加 NPAR 的值，为指令获取和连续的数据传输操作提供顺序地址。
PCTRL	程序控制器	PCTRL 解码指令，管理管道，存储状态，并对条件操作进行解码。



表 2-8-1 ADP16F01 DSP CPU 内部硬件说明 (续)

符号	名称	描述
PREG	乘积寄存器	32 位寄存器保存 16x16 的乘积
PSCALE	乘积定标移位器	乘法器乘积 0 位 1 位,4 位左移, 或 6 位右移。左移选项用于管理由二进制补码乘法产生的附加符号位。右移选项用于缩小比例管理 CALU 中乘积积累的溢出数值。
STACK	堆栈	堆栈是用于存储子程序和中断服务例程的返回地址的内存块, 或者用于存储数据。ADP16x 堆栈是 16 位
TREG	临时寄存器	16 位寄存器保存了乘法运算的一个操作数。TREG 包含 LACT、ADDT 和 SUBT 指令的动态移位计数。 TREG 保存 BITT 指令动态位位置。

## 状态和控制寄存器

两个状态寄存器 ST0 和 ST1 包含各种条件和模式的状态。这些寄存器可以存储在数据存储器中, 并从数据存储器加载, 从而允许保存微处理器状态并恢复子程序。

加载状态寄存器 (LST) 指令用于写入 ST0 和 ST1。存储状态寄存器 (SST) 指令用于从 ST0 和 ST1 读取 - 除了不受 LST 指令影响的 INTM 位之外。使用 SETC 和 CLRC 指令时, 可以将这些寄存器的各个位置 1 或清零。图 2-8 显示了状态寄存器 ST0 和 ST1 的组织, 指示了每个状态寄存器中包含的所有状态位。状态寄存器中的几个位被保留, 并被读为逻辑 1。表 2-8-2 列出了状态寄存器字段定义。

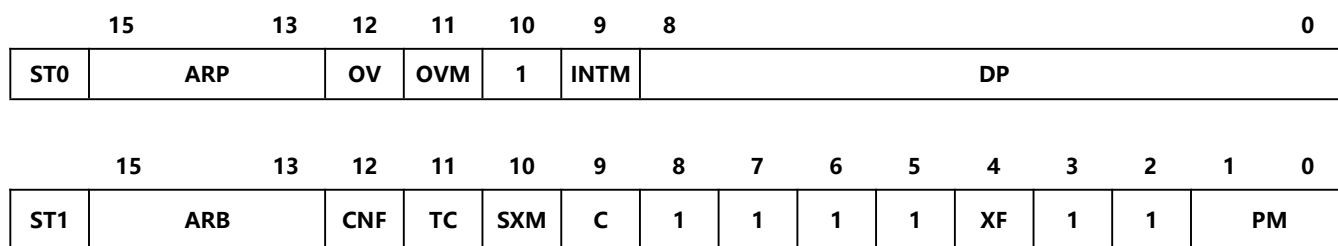


图 2-8 状态寄存器 ST0 和 ST1 结构

表 2-8-2 状态寄存器字段定义

位	功能
ARB	辅助寄存器缓冲区的指针。当 ARP 被加载到 ST0 时, 旧的 ARP 值被复制到 ARB, 除非在一个指令的指令中。当 ARB 通过一个 LST #1 指令加载时, 同样的值也被复制到 ARP 中。
ARP	辅助寄存器(AR)的指针。ARP 选择了用于间接寻址的 AR。当 ARP 被加载时, 旧的 ARP 值被复制到 ARB 寄存器中。在使用间接寻址的时候, 可以使用内存引用指令来修改 ARP 映射, 并由 LARP、MAR 和 LST 指令来修改。当执行一个命令 1 指令时, ARP 也被加载与 ARB 相同的值。
C	进位。如果加法结果产生一个进位, 则 C 被置位 1, 如果减法的结果产生一个借位, 则 C 被复位位 0, 否则在加法或减法之后被复位, 除非指令是 ADD 或带有 16 位移位的 SUB, 在这些情况下, ADD 只能设置, SUB 只能重置进位, 但不能影响它, 单 bit 移位或者旋转指令也会影响 C 以及 SETC、CLRC 和 LST #1 指令, 在复位时 C 被置位 0。
CNF	芯片上的 RAM 配置控制位。如果将 CNF 设置为 0, 则可重新配置的数据双访问 RAM 块被映射到数据空间;否则, 它们会被映射到程序空间。CNF 可以通过 SETC CNF、CLRC CNF 和 1/1 指令进行修改。RS 将 CNF 设为 0。

表 2-8-2 状态寄存器字段定义 (续)

位	功能
DP	数据存储器页指针。9 位 DP 寄存器与指令字的 7 个 LSB 指令组合以形成 16 个比特的直接存储器地址。DP 可以由 LST 和 IDP 指令修改
INTM	中断模式。当 INTM 被设置为 0 时, 所有的非屏蔽中断都是启用的。当设置为 1 时, 所有的屏蔽中断都是禁用的。INTM 由 SETC INTM 和 CLRC INTM 指令设置并重新设置。RS 也能设置 INTM。INTM 对不可屏蔽的 RS 和 NMI 中断没有影响。注意, INTM 不受该指令的影响。这个位被重置为 1。当一个可屏蔽的中断陷阱被捕获时, 它也被设置为 1。
OV	溢出标志位。当将 OVM 设置为 0 时, 溢出的结果通常在累加器中溢出。当设置为 1 时, 当遇到溢出时, 累加器将被设置为最正值或负值。SETC 和 CLRC 指令分别设置并重新设置这个位。还可以用来修改 OVM。
OVM	溢出模式位。当 OVM 被设置为 0, 溢出结果在累加器通常溢出。当设置为 1 时, 累加器被设置为在遇到溢出或者其最正值或负值。SETC 和 CLRC 指令设置和重置此位。LST 也可以用来修改 OVM。
PM	乘积移位模式位。如果这两个比特是 00, 那么乘数的 32 位产品就会被加载到 ALU 中, 没有移位。如果 PM=01, 则 PREG 的输出是左移一个位置并加载到 ALU 中, LSB 为零填充。如果 PM=10, 则 PREG 输出左移 4 位, 并加载到 ALU 中, 而 LSB 则为零填充。PM=11 产生 6 位右移, 符号扩展。注意, PREG 的内容保持不变。当将 PREG 的内容传输到 ALU 时, 就会发生移位。PM 由 SPM 和 LST 1 指令加载。PM 被 RS 清除。
SXM	符号扩展模式。SXM=1 在数据通过缩放器传递到累加器时, 在数据上产生符号扩展。SXM=0 禁止符号扩展。SXM 不影响某些指令的定义;例如 ADDS 指令, 不管 SXM 如何, 都会禁止符号扩展。SXM 由 SETC SXM 指令置 1, 并由 CLRC SXM 指令复位, 并且可以通过 LST #1 指令加载。SXM 通过复位设置为 1
TC	测试/控标志位。TC 受 BIT, BITT, CMPR, LST #1 和 NORM 指令的影响。
XF	XF 引脚状态位。XF 表示 XF 引脚的状态, 它是一种通用的输出引脚。XF 由 SETC XF 指令设置, 并由 CLRC XF 指令重置。XF 通过重置设置为 1。

## 2.8.1 中央处理器

ADP16F01 中央处理单元 (CPU) 包含一个 16 位定标移位器, 一个 16 位 16 位并行乘法器, 一个 32 位中央算术逻辑单元 (CALU), 一个 32 位累加器。本节介绍 CPU 结构及其功能。

## 2.8.2 输入定标移位器

输入移位定标器的功能就是把程序存储器或数据存储器送来的 16 位数调整为 32 位数, 然后送往 32 位 CALU, 该移位器在算术定标以及逻辑操作中对屏蔽定位设置非常重要。输入定标移位器作为程序/数据存储空间到 CALU 间数据传输路径的一部分, 因此不占用时间开销, 输入定标移位器对输入数据进行 0 到 16 位的左移, 再将 32 位结果送往 CALU。左移时, 将移位中最低有效位 LSBs 段填 0, 而最高有效位 MSBs 将根据状态寄存器 ST1 中 SXM 位的值进行符号扩展或者填 0, 若 SXM=0, 则未使用的最高有效位填 0, 不进行符号扩展; 若 SXM=1, 则未使用的最高有效位填 0 或者 1, 进行符号扩展。移位器有两种方式获取左移的位数: 一是在指令字中直接设置移位位数; 该移位量允许用户用特定的数据定标或调整运算来得到特定的代码。二是由暂存寄存器 TREG 的低四位给出移位位数, 该移位量允许动态调整数据定标因子,

从而可以适应不同的系统性能。

### 2.8.3 乘法器

乘法器的功能是在单周期内完成一个带符号或者不带符号的  $16 \times 16$  位的乘法，产生一个 32 位结果的有符号或无符号数。乘法单元由  $16 \times 16$  的乘法器，16 位暂存寄存器 TREG，32 位乘积寄存器 PREG，乘积定标移位器组成。乘积定标移位器对乘积结果采用 4 种乘积移位元操作，由状态寄存器 ST1 的乘积移位方式 (PM) 指定，这些移位方式对于执行乘法/累加操作，小数运算以及小数乘积的调整是很有用的乘积移位模式见表 2-8-3。

表 2-8-3 PSCALE 乘积移位模式

PM	SHIFT	描述
00	无移位	将乘积直接送入 CALU 或数据存储器
01	乘积左移 1	将二进制补码乘积中多余的 1 个符号位移去，得到 Q31 格式结果
10	乘积左移 4	与一个 13 位的乘数相乘时，移去在 $16 \text{ 位} \times 13 \text{ 位}$ 的补码乘法运算中产生 4 位附加符号位，
11	乘积右移 6	允许累加器进行 128 次乘积运算而不会溢出

### 2.8.4 中央算术逻辑单元

中央算术逻辑单元 (CALU) 实现许多算术和逻辑运算，且大多数的功能都只需 1 个时钟周期，运算包括：16 位加法，16 位减法，布尔运算，位测试以及移位旋转功能。由于 CALU 可以执行布尔运算，因此使得控制器由位操作功能，CALU 有两个输入信号，一个由累加器提供，另一个由乘积移位定标器或输入移位器提供。CALU 执行完一次操作后，它将结果送至 32 位累加器，由累加器对其结果进行移位。累加器的输出 连到 32 位的输出数据定标移位器。经过输出数据定标移位器，累加器的高 16 位，低 16 位分别移位或存入数据寄存器

### 2.8.5 累加器

CALU 中的运算完成，其结果送至累加器，并且在累加器中执行单个的移位或循环操作。累加器的高位字或低位字中的任意一个可以被送至输出数据定标移位器，在此移位后，又可被存入数据存储器。

### 2.8.6 辅助寄存器算术单元 (ARAU)

ARAU 完全独立于中央算术逻辑单元 CALU。它的主要功能是在操作的同时执行 8 个辅助寄存器 (AR0-AR7) 上的算术运算。

## 2.9 内部存储器

ADP16F01 器件配置如下内存模块：

- 双访问随机存取存储器 (DARAM)
- 单存取随机存取存储器 (SARAM)
- 存储器 Flash
- ROM

### 2.9.1 双存取 RAM (DARAM)

在 ADP16F01 设备上有 544 字×16 位的 DARAM。DARAM 允许在同一个周期内对 RAM 进行写入和读取。DARAM 配置为三个块：块 0 (B0)，块 1 (B1) 和块 2 (B2)。块 1 包含 256 个字，块 2 包含 32 个字，并且这两个块仅位于数据存储空间中。块 0 包含 256 个字，可以配置为数据或程序存储器空间。SETC CNF (将 B0 配置为程序存储器) 和 CLRC CNF (将 B0 配置为数据存储器) 指令允许通过软件动态配置存储器映射。

在使用片上 RAM 时，ADP16F01 全速运行，无需等待状态。DARAM 允许在一个周期内执行两次访问的能力，再加上 ADP16F01 架构的并行特性，使得设备可以在任何给定的机器周期内执行三次并发的内存访问。

### 2.9.2 单存取 RAM (SARAM)

ADP16F01 器件中有 2K 字 x16 位 I/O SARAM, 可以通过 SCSR2 寄存器 PON 和 DON 位配置为数据存储器或程序存储器，有关 SCSR2 寄存器的 PON 和 DON 位详细信息，请参见 SCSR2 寄存器描述表。复位时，PON 和 DON 为 11，片内 SARAM 映射到程序和数据空间。如果片内 SARAM 未启用，则 SARAM(从程序存储器中的 8000h 开始)默认中断向量地址 0x8000-0x8044。DEBUG 模式下在线调试在 2K\_SARAM 运行程序时，2K 中最后 8 个 WORD 为保留空间。

### 2.9.3 引导 BootROM

ADP16F01 程序空间中集成了一个 512×16 位 Boot ROM, 地址空间与 Flash 共用：0000h-0200h, 通过 BOOT\_EN (SCSR2.3) 信号切换存储空间

## 2.9.4 闪存 Flash

ADP16F01 提供闪存 Flash。ADP16F01 程序空间中集成了一个 32K×16 位 Flash 模块。Flash 映射在程序空间 0000h-8000h,其中中断向量表空间 0000h-003Fh,保留空间 0040-0043h, 剩余为用户程序空间。

## 2.10 片上 LDO 电源管理

ADP16F01 片上集成 LDO 模块，默认使能片内 LDO，端口电压  $V_{IO}$  提供 LDO 输入源，默认输出  $V_{CORE}=1.80V$ ,通过配置 LDO\_CTR 寄存器，提供不同的内核电压  $V_{CORE}$ ；

表 2-10 LDOCTR 寄存器地址

名称	地址	大小 (x16)	说明
LDO_CTR	0x007105	1	LDO 控制寄存器

- (1) ADP16F01片上LDO在不同主频的工作环境下会有±2%的偏差。
- (2) 当使用片上LDO时，电源VDD引脚需对地接滤波电容，建议每个VDD引脚外接3.3uf~10uf电容。
- (3) LDO支持工作模式下的电压实时编程功能，根据 $V_{DD}$ 上负载的不同，需要一定的稳定输出时间。较高的输出电压有利于获得更快的处理速度，较低的输出电压可显著改善电路的漏电流。
- (4) 原厂不能保证客户的启用程序在全部电压范围内均能正常工作。客户必需仔细评价超出推荐启用电压范围带来的好处和风险。原厂不承担相应风险。

### 可通过配置 0X7105 低三位 2-0 配置 LDO 电压范围 (位 2-0 默认为 000)

位 2-0	000	001	010	011	100	101	110	111
电压 (V)	1.8	1.65	1.7	1.75	1.85	1.9	1.95	2.0

## 3 外设

- 一个事件管理器模块 (EM1)
- 模数转换器(ADC) 模块
- 运放及复用数字输入 IO
- 电压比较器
- 温度传感器
- 数字延时滤波单元
- 串行通信接口模块(SCI)
- 串行外设接口(SPI) 模块

- PLL 时钟模块
- 数字 I/O 口以及复用引脚功能
- 看门狗 (WD) 定时器

## 3.1 事件管理器模块 (EM1)

事件管理器模块包括通用(GP) 定时器、完全比较/ PWM 单元、捕捉单元、和正交编码器脉冲(QEP) 电路。表 3-1-1 显示了使用的模块、信号名称、特性、功能，并且标出了 EM1 命名规则。

EM1 外设寄存器的地址从 7400h 开始。这部分内容描述了使用 EM1 命名规则的通用定时器、比较单元、捕捉单元、和 QEP 的功能。表 3-1-1 中列出了 EM1 寄存器。

表3-1 针对EM1模块和信号名称

事件管理器模块	EM1	
	模块	信号
通用定时器	GP 定时器 1	T1PWM/T1CMP
	GP 定时器 2	T2PWM/T2CMP/PWM7
完全比较单元	比较器 1	PWM1/2
	比较器 2	PWM3/4
	比较器 3	PWM5/6
捕捉单元	捕捉 1	CAP1
	捕捉 2	CAP2
	捕捉 3	CAP3
QEP	QEP1	QEP1
	QEP2	QEP2

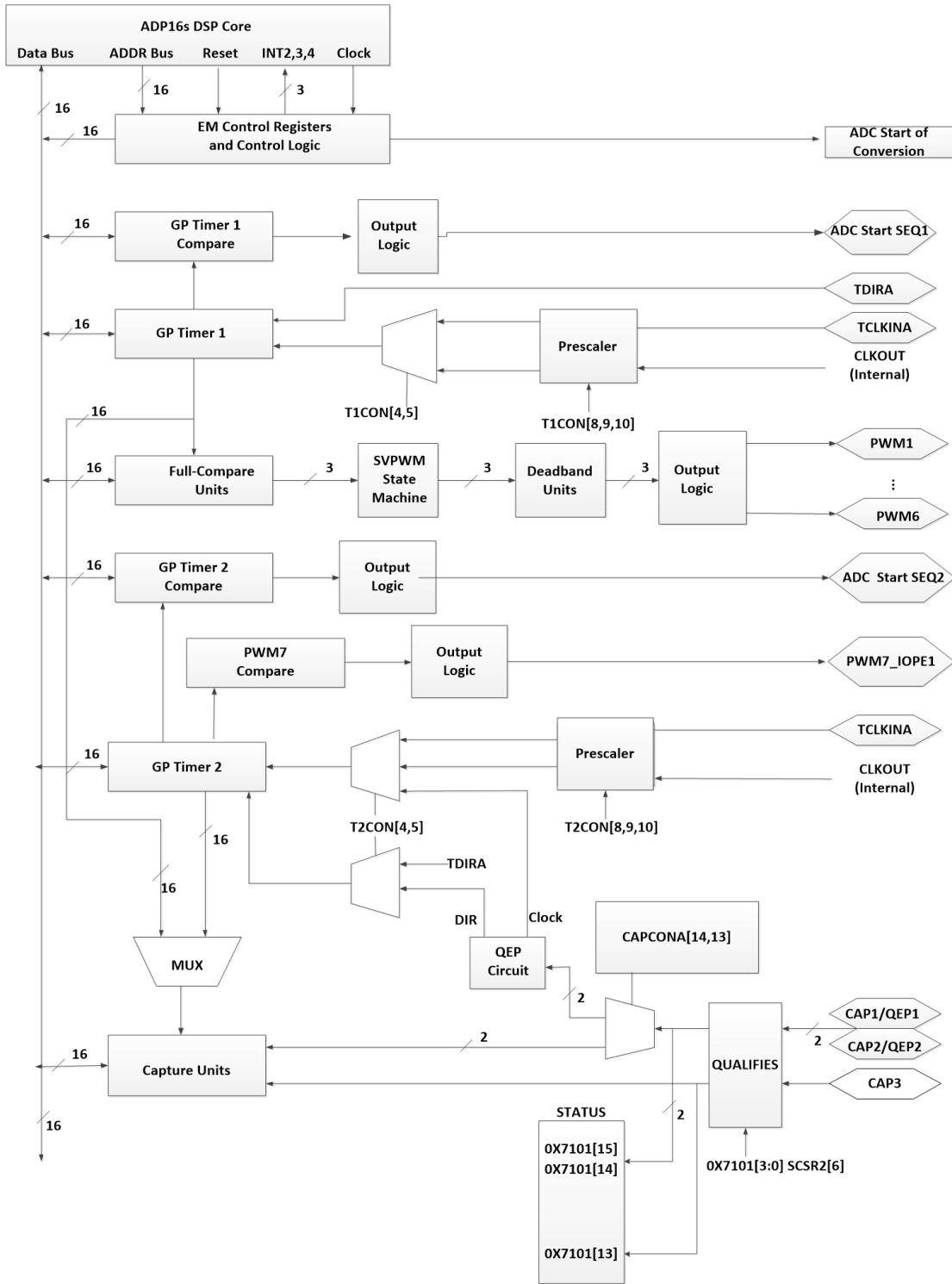


图 3-1 事件管理器 EM1 功能方框图

### 3.1.1 通用(GP)定时器

有两个通用定时器。通用定时器  $x$  ( $x=1$  或者  $2$ ) 包括:

- 一个 16 位定时增/减计数计数器,  $TxCNT$ , 用于读取或者写入
- 一个 16 位定时器比较寄存器,  $TxCMPR$  (使用阴影寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器周期寄存器,  $TxPR$  (使用阴影寄存器实现双缓冲), 用于读取或者写入
- 一个 16 位定时器控制寄存器,  $TxCON$ , 用于读取或者写入
- 可选内部或者外部输入时钟
- 一个针对内部或者外部时钟输入的可编程预分频器
- 中断控制逻辑, 用于四个可屏蔽中断: 下溢, 溢出, 定时器比较, 和周期中断

通用定时器各定时器之间可独立运行和同步运行。与每个通用定时器相关的比较寄存器可被用于比较功和 PWM 波形生成, 每个通用定时器有三种连续运行模式。带有可编程分频器的内部或者外部输入时钟被用于每个通用定时器。通用定时器还为其它事件管理器子模块提供时基:

通用定时器 1 为所有比较和 PWM 电路提供时基, 定时器 2 为捕捉单元和正交脉冲计数提供时基。按需要, 周期和比较寄存器的双缓冲可实现定时器(PWM)周期和比较/ PWM 脉冲宽度可编程变化。

### 3.1.2 完全比较单元

在事件管理器上有三个完全比较单元。这些比较单元使用通用定时器作为时基, 并且产生六路比较输出, 产生的 PWM 波形使用了可编程的死区电路。这六路输出中每一路输出的状态可独立配置。比较单元的比较寄存器是双缓冲的, 从而可实现所需的比较/ PWM 脉冲宽度可编程变化。

### 3.1.3 可编程死区发生器

死区发生器电路包括三个 4 位计数器和一个 4 位比较寄存器和输入时钟预定标器。所需的死区值 (从 0 到  $16\mu s$ ) 可以通过编程写入比较寄存器中, 用于三个比较单元的输出。对于每一个比较单元输出, 可单独启用/禁用死区生成。死区发生器电路为每个比较单元输出信号产生两个输出 (带有或者不带有死区)。通过双缓冲 ACTR 寄存器, 死区发生器的输出状态可按照需要配置和改变。

### 3.1.4 PWM 波形生成

事件管理器可同时产生最多 9 路 PWM 波形 (输出): 带有可编程死区的三个完全比较单元成的三个独立对 (六个输出 PWM1~6), 和通用定时器比较生成的 T1PWM/T2PWM/PWM7, 其中 T1PWM/T2PWM 作为 ADC 启动触发信号用于内部, PWM7 单独输出至引脚。



### 3.1.5 PWM 特性

PWM 特性如下:

- 16 位寄存器
- 每组 PWM 输出的可编程死区时间是从 0 到 16 $\mu$ s
- 最小死区宽度为 25 ns
- 按照需要通过 PWM 频率摆动来改变的 PWM 载波频率
- 可在每个 PWM 周期结束之后改变所需的 PWM 脉冲宽度
- 带有外部可屏蔽的电源和驱动保护中断
- 波形发生器电路, 可编程生成不对称、对称以及四空间向量的 PWM 波形
- 使用比较和周期寄存器的自动重新载入可大大减少 CPU 的开销

### 3.1.6 捕捉单元

捕捉单元为不同事件或者转换提供一个记录功能。当在捕捉输入引脚CAPx (x = 1, 2, 或者3) 上检测到指定的电平变化时, 选定的通用定时器计数器的值就会被捕捉并存储在两级深FIFO堆栈内。比较单元由三个捕捉电路组成。

捕捉单元包括下列特性:

- 一个16 位捕捉控制寄存器, CAPCONx (R/W)
- 一个16 位捕捉FIFO 状态寄存器, CAPFIFOx
- 选择通用定时器1/2作为时基
- 3 个16 位2 级深FIFO 堆栈, 每个堆栈用于一个比较单元
- 3 个捕获输入可从CAP1/2/3引脚引入, 也可通过电压比较器1/2/3产生。(所有输入与器件CPU 时钟同步。为了捕捉到一个转换, 输入必须保持在其当前的电平状态在两个设备时钟的上升沿。CAP1/2也可被用作到QEP 电路的QEP 输入)
- 用户指定跳变(上升边沿、下降边沿、或者这两个边沿) 检测
- 三个可屏蔽中断, 分别对应每个捕捉单元

#### • 3.1.7 正交编码脉冲(QEP) 电路

两个捕获输入引脚CAP1 和CAP2; 可被设置成片内QEP电路, 并且与正交编码脉冲的对接。为了保证这些输入信号芯片的运行完全同步, 当正交脉冲序列的方向或者边沿被检测到时, 通用定时器2随着两个输入信号(输入脉冲的四倍频) 的上升和下降沿递增或递减。

## 3.2 模数转换器 (ADC)

### 3.2.1 ADC 的特性

- 具有内置 S/H 的 12 位模拟 AD 核 (ADC) 。
- 模拟输入: 0.0V 至 3.0V (高于 3.0V 的电压产生满量程转换结果) 。
- 转换速率: 4MHz ADC 时钟, 2 百万次采样每秒(MSPS), 最快转换速率为 500ns 。
- 16 通道被复用输入 (其中 A3 通道内置用于采样温度传感器), 自动定序功能在单次会话中可提供多达 8 次 “自动转换”, 可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行 2 个独立的 8 态序列发生器 (注: 序列发生器级联模式不可用)
- 用于存储转换值的 16 个结果寄存器 (可分别寻址) 。

输入模拟电压的数值源自:

$$Digital\ Value = 4095 \times \frac{Input\ Analog\ Voltage - ADCL0}{3} \times \frac{3.3}{VCCA}$$

其中输入电压 0 V~ 3 V , VCCA 为模拟电源电压(典型值为 3.336V, 不同芯片值会有±20mV 以内的偏差), 单位为 V

- 转换开始(SOC) 序列源的多个触发器:
  - S/W——软件立即启动
  - EM1——事件管理器 1 (EM1 内的多个事件源)
  - 外部引脚——ADCSOC
- 灵活的中断控制允许每个序列结束(EOS) 或其它 EOS 上的中断请求。
- 序列发生器可运行在 “启动/停止” 模式, 以便多个 “时序触发器” 进行同步转换。
- EM1 的 T1 和 EM1 的 T2 定时器可独立运行在双序列发生器模式。
- ADC 直流失调可校准。

ADC 模块具有在 4MHz 的 ADC 时钟上有一个 500ns 快速转换速度, 有 16 个输入通道, 分 A0~A7 和 B0~B7, 这些通道可被配置为两个用于事件管理器 1 和 2 的独立 8 通道模块。尽管有多个输入信道和 2 个序列发生器, 但在 ADC 模块中只有一个转换器。2 个 8 通道模块可自动对一系列转换定序, 每个模块可以通过模拟 MUX 选择其中一个可用的 8 通道。在每个序列发生器上, 一旦转换完成, 所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道, 以使用户执行采样算法。这种采样算法可提供比传统的单一采样转换结果更高的分辨率。

### 3.2.2 模数转换 (ADC) 寄存器

模数转换 (ADC) 寄存器如表 3-2-2-1。

表 3-2-2-1 ADC 寄存器

名称	地址	大小 (x16)	描述
ADCTRL1	70A0h	1	ADC 控制寄存器 1
ADCTRL2	70A1h	1	ADC 控制寄存器 2
MAXCONV	70A2h	1	最大转换通道寄存器
CHSELSEQ1	70A3h	1	通道选择控制寄存器 1
CHSELSEQ2	70A4h	1	通道选择控制寄存器 2
CHSELSEQ3	70A5h	1	通道选择控制寄存器 3
CHSELSEQ4	70A6h	1	通道选择控制寄存器 4
AUTO_SEQ_SR	70A7h	1	自动排序状态寄存器
RESULT0	70A8h	1	结果寄存器 0
RESULT1	70A9h	1	结果寄存器 1
RESULT2	70AAh	1	结果寄存器 2
RESULT3	70ABh	1	结果寄存器 3
RESULT4	70ACh	1	结果寄存器 4
RESULT5	70ADh	1	结果寄存器 5
RESULT6	70AEh	1	结果寄存器 6
RESULT7	70AFh	1	结果寄存器 7
RESULT8	70B0h	1	结果寄存器 8
RESULT9	70B1h	1	结果寄存器 9
RESULT10	70B2h	1	结果寄存器 10
RESULT11	70B3h	1	结果寄存器 11
RESULT12	70B4h	1	结果寄存器 12
RESULT13	70B5h	1	结果寄存器 13
RESULT14	70B6h	1	结果寄存器 14
RESULT15	70B7h	1	结果寄存器 15
CALIBRATION	70B8h	1	校准寄存器

如图 3-2-2-1 所示: ADP16F01 的 ADC 系统包括 12 位主 ADC, 两个采样保持单元 S/H-A、S/H-B, 通道选通开关以及排序器 SEQ1 和 SEQ2。

其中排序器 SEQ1 和 SEQ2 是 ADC 系统的主要控制单元, 负责切换不同的通道将数据送入模拟 AD 核进行转化, 结果 MUX 负责切换不同的结果寄存器将 ADC 转换的数字码送入对应的结果寄存器当中。

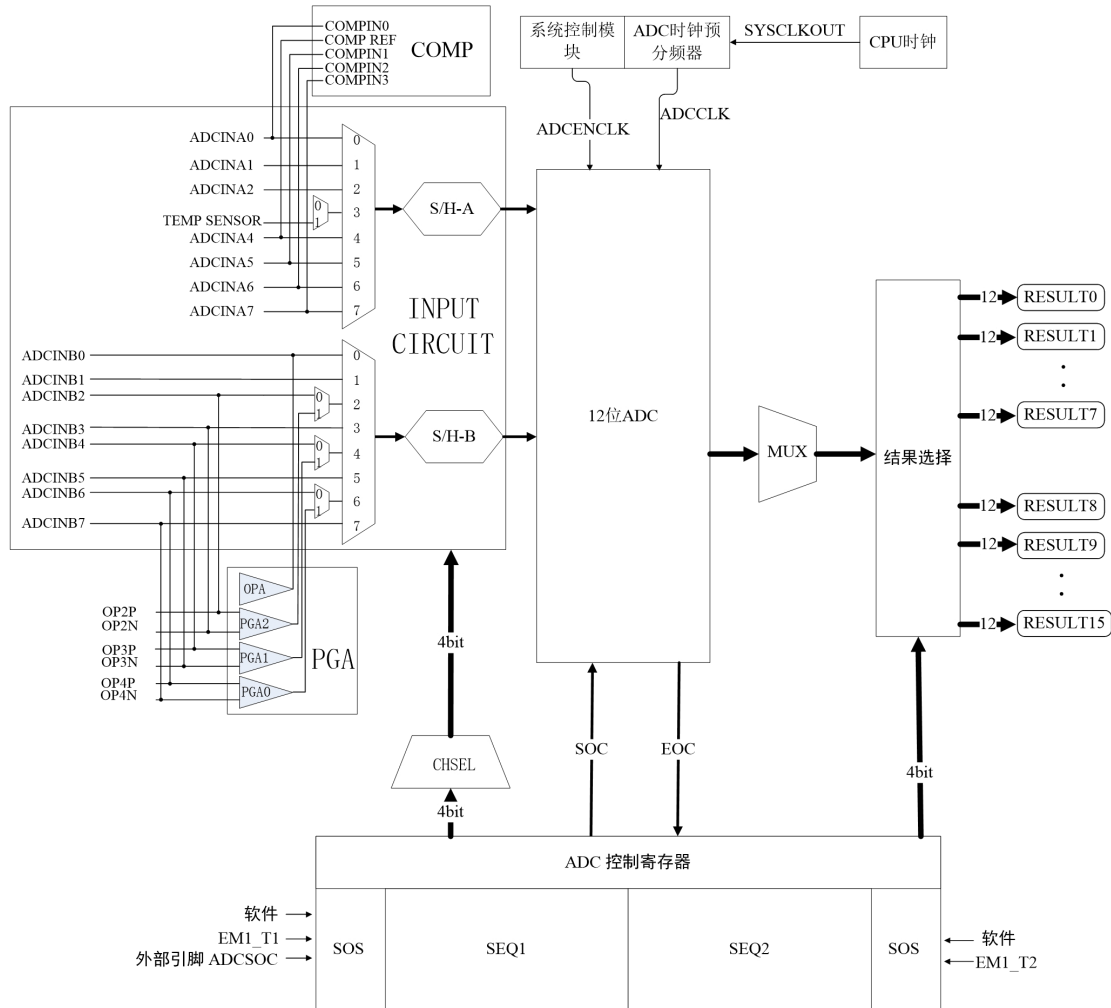


图 3-2-2-1 ADC 模块的结构图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCINxx 引脚的走线不应与数字信号通道靠的太近。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。此外，必须使用适当的隔离技术，将 ADC 模块电源引脚 VCCA 与数字电源隔离。为了获得最佳的精度和 ESD 保护，未使用的 ADC 输入应该连接 ADCLO。

注释：用 SYSCLKOUT 时钟速率对 ADC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟 (ADCCLK) 控制。

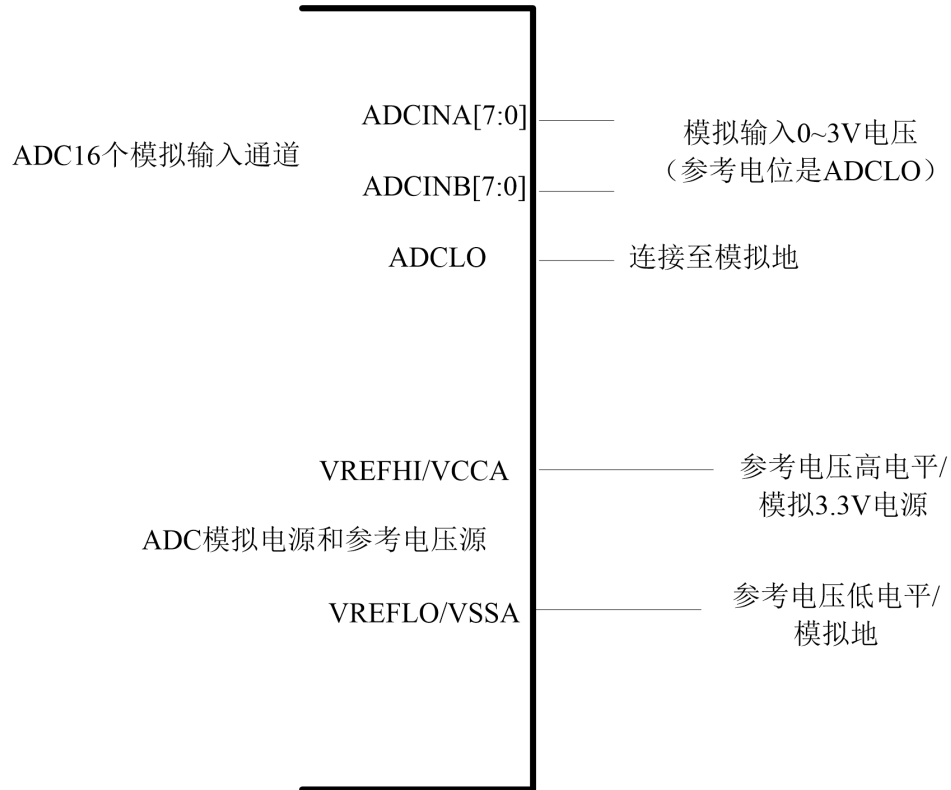


图 3-2-2-2 ADC 引脚内部基准的连线

- A. 建议在所有电源引脚上使用外部去耦合电容器。
- B. 通过调节 VREFHI-VREFLO 的差值使 ADC 输出斜率为 1(注：典型值为 3.336V，不同芯片值会有±20mV 以内的偏差)。  
(ADC 详细使用方法参考《ADP16F01 辅助控制寄存器说明与注意事项》)

### 3.3 运放及复用数字输入 IO

ADP16F01 内部包括 3 个可编程放大器 (PGA) 电路与 1 个可独立使用的运算放大器 (OPA) 电路。放大器输入端口通过内部施密特电路可作为逻辑信号的输入端口。如图 3-3-1 所示为放大器模块的功能框图。

PGA 电路输出 B6、B4、B2 为 ADC 对应 ADCINB6、ADCINB4、ADCINB2 通道信号线，可实现 1、2、4、8、16、32 六档放大倍数调节，由 3BIT 对应寄存器位进行控制，对应从低到高的 6 个数字，最后两个数字为保留位。

当 PGA 被关闭时，B2/OP2P、B4/OP3P、B6/OP3P 可作为 ADC 直接输入通道。PGA 电路默认为关闭。

OPA 电路为可独立使用运放，正负输入端与输出端均被引出，默认为关闭，OPA 输出直接容性负载建议不超过 20pF。

PGA 输出未引出，仅能通过 ADC 进行采样，PGA 可工作在同相放大与反相放大两种模式下，两种模式的实际增益不同。

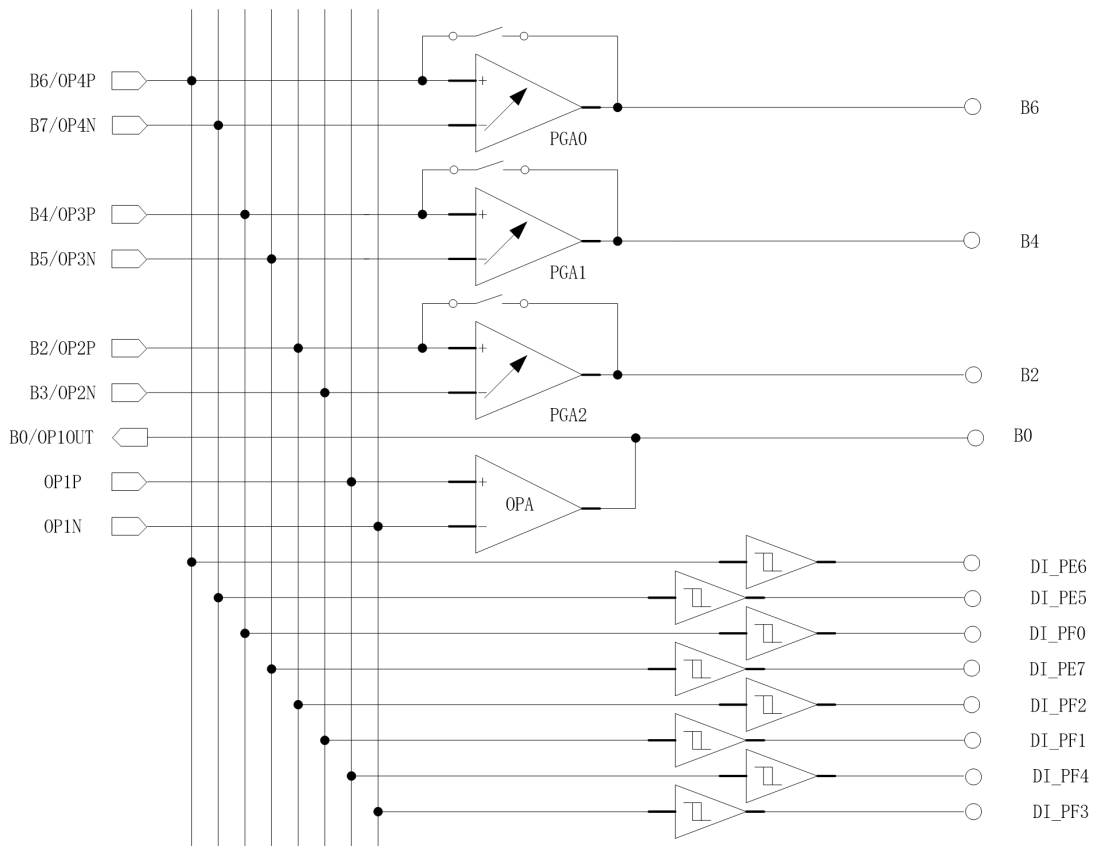


图 3-3-1 运放的功能框图

如图 3-3-2 所示,除了作为运放功能引脚外, B6/OP4P、B7/OP4N、B4/OP3P、B5/OP3N、B2/OP2P、B3/OP2N、OP1P、OP1N 可通过施密特比较器将外部信号引到保留的 GPIO 的 Din 通路,分别为 DI\_PE5、DI\_PE6、DI\_PE7、DI\_PF0、DI\_PF1、DI\_PF2、DI\_PF4、DI\_PF3; 施密特输入电路默认为关闭, 分别配置寄存器 REG\_INPUT\_CT[7: 0]为 1 可打开对应通道的施密特电路作为数字信号输入。

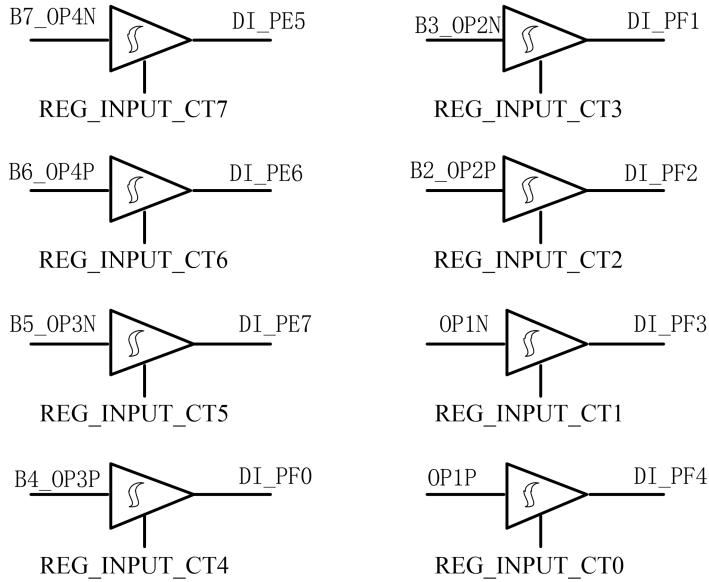


图 3-3-2 模拟端口复用作 GPIO 输入关系映射图

如表 3-3-1 所示为通道对应的配置寄存器。包括内部温度传感器使能位（默认温度传感器为禁止），及比较器与运放的电流调节位（用于调试电路性能）。

表 3-3-1 通道对应的配置寄存器

寄存器 0X7103	功能位	功能描述
BIT15	COMP_H	COMP_H 状态（只读）
BIT14	COMP_L	COMP_L 状态（只读）
BIT13	PDPA	PDPINTA 输入源控制（控制其输入源在 COMP_H/COMP_L 与 B7_OP4N 之间切换）
BIT12	Reserved	
BIT11	REG_AMPIBCTN	运放与比较器电流偏置使能位，默认 '0' 打开，'1' 关闭
BIT10	REG_TUNEIB1	运放与比较器电流偏置调节位 1
BIT9	REG_TUNEIB0	运放与比较器电流偏置调节位 0
BIT8	T_SENSOR	温度传感器使能，默认 "0" 关闭，"1" 使能接入 A3 通道
BIT7	REG_INPUT_CT7	复用 IOPE5 输入使能，'1' 打开，默认值为 '0'
BIT6	REG_INPUT_CT6	复用 IOPE6 输入使能，'1' 打开，默认值为 '0'
BIT5	REG_INPUT_CT5	复用 IOPE7 输入使能，'1' 打开，

		默认值为 '0'
BIT4	REG_INPUT_CT4	复用 IOPF0 输入使能, '1' 打开, 默认值为 '0'
BIT3	REG_INPUT_CT3	复用 IOPF1 输入使能, '1' 打开, 默认值为 '0'
BIT2	REG_INPUT_CT2	复用 IOPF2 输入使能, '1' 打开, 默认值为 '0'
BIT1	REG_INPUT_CT1	复用 IOPF3 输入使能, '1' 打开, 默认值为 '0'
BIT0	REG_INPUT_CT0	复用 IOPF4 输入使能, '1' 打开, 默认值为 '0'

如表 3-3-2 所示为内部运算放大器 (OPA) 与可编程放大器 (PGA) 的配置寄存器说明。

表 3-3-2 OPA 与 PGA 配置寄存器说明

寄存器 0X7106	功能位	功能描述
BIT15	REG_CTOPA	运算放大器使能控制位, '0' 关闭运放, 释放 ADC 通道, '1' 打开运放
BIT14	REG_CTPGA0	PGA0 使能控制位, '0' 关闭 PGA0, 释放 ADC 通道, '1' 打开 PGA0
BIT13	REG_CTPGA1	PGA1 使能控制位, '0' 关闭 PGA1, 释放 ADC 通道, '1' 打开 PGA1
BIT12	REG_CTPGA2	PGA2 使能控制位, '0' 关闭 PGA2, 释放 ADC 通道, '1' 打开 PGA2
BIT11	Reserved	
BIT10	SETAG_PGA0_B2	PGA0 增益控制位 2
BIT9	SETAG_PGA0_B1	PGA0 增益控制位 1
BIT8	SETAG_PGA0_B0	PGA0 增益控制位 0
BIT7	Reserved	
BIT6	SETAG_PGA1_B2	PGA1 增益控制位 2
BIT5	SETAG_PGA1_B1	PGA1 增益控制位 1
BIT4	SETAG_PGA1_B0	PGA1 增益控制位 0



BIT3	Reserved	
BIT2	SETAG_PGA2_B2	PGA2 增益控制位 2
BIT1	SETAG_PGA2_B1	PGA2 增益控制位 1
BIT0	SETAG_PGA2_B0	PGA2 增益控制位 0

### 3.4 电压比较器

ADP16F01 内部包含 5 个迟滞比较器模块，分别为 COMP1、COMP2、COMP3、COMPH、COMPL。其中 COMP1、COMP2、COMP3 外置阈值组，COMPH、COMPL 为内置阈值组。

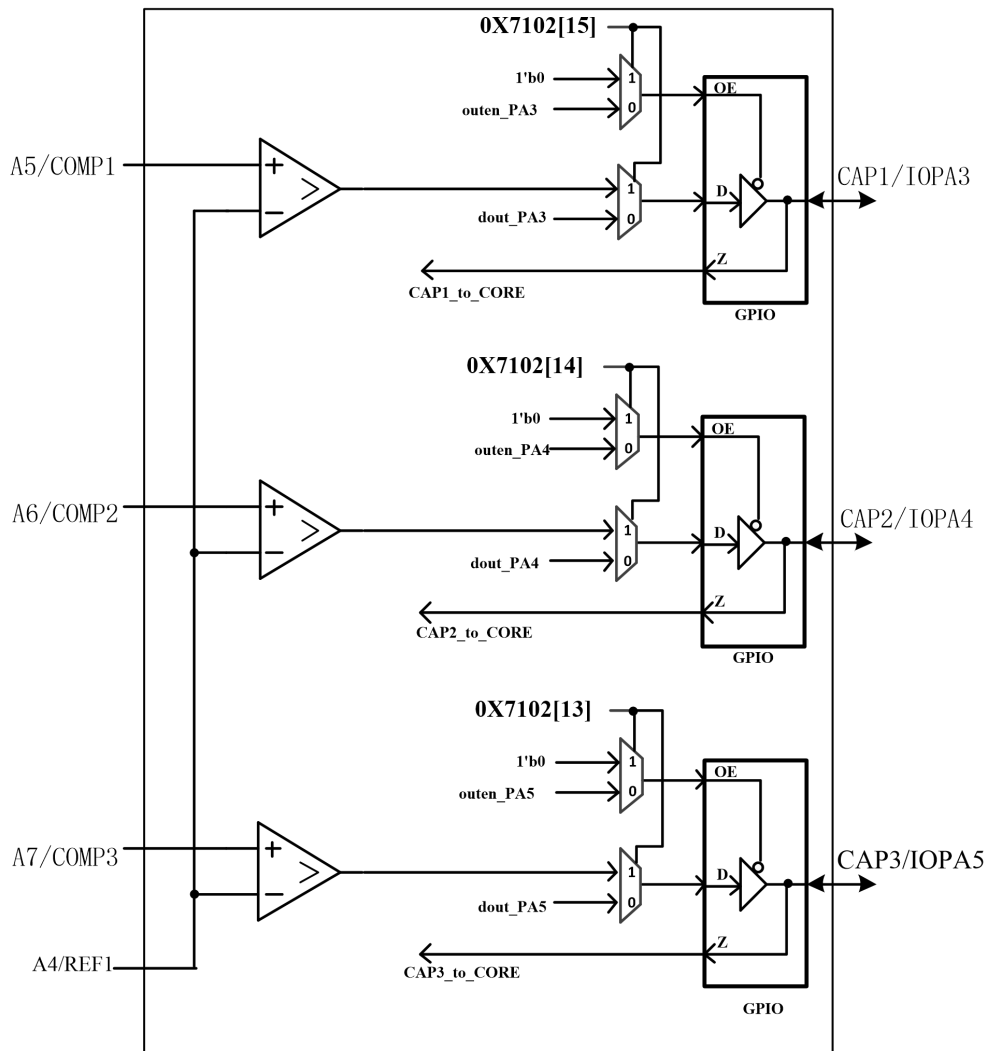


图 3-4-1 外置阈值电压比较器组框图

如图 3-4-1, COMP1、COMP2、COMP3 使用共同外部电压参考端 A4/REF1 引脚, 比较电压输入端则通过 A5/COMP1、A6/COMP2、A7/COMP3 引脚, 它们的输出结果通过端口复用可以从 CAP1/IOPA3、CAP2/IOPA4、CAP3/IOPA5 引脚的 Dout 通路输出, 同时可以通过 CAP1/IOPA3、CAP2/IOPA4、CAP3/IOPA5 的 Din 通路引入至芯片内部。

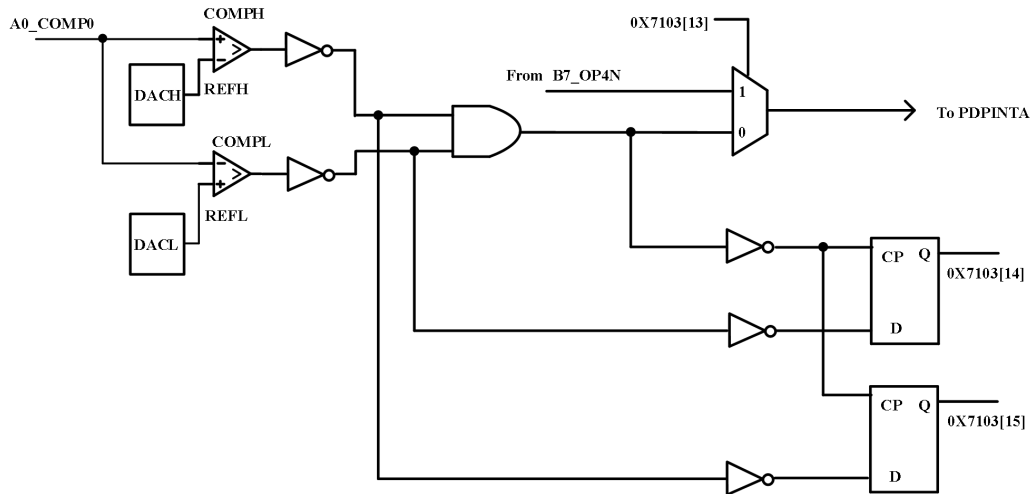


图 3-4-2 内置阈值电压比较器组框图

如图 3-4-2, COMPH、COMPL 使用共同电压比较输入端 A0\_COMP0; 电压参考使用分别使用由 DACH 及 DAFL 产生的 REFH、RHFL;

比较器输出通过与门连接至 PDPINTA 中断触发信号 (还有一路 PDPINTA 中断源信号来自复用 B7\_OP4N), 当发生 A0\_COMP0 电压高于 REFH 或低于 RHFL 设置值, 且维持时间超过延时滤波所设时间, 会引发 PDPINTA 中断动作, 通过读取寄存器位 0X7103[15], 0X7103[14] 的值可判断发生的是欠压还是压事件, 0X7103[15] 为 1 则 过压, 0X7103[14] 为 1 则 欠压。

REFH、RHFL 电压由内部 5BIT DAC 设置, 其输出电压与 5BIT 码 CODE5 的关系为:

$$V_{out} = VDD/32 * CODE5$$

2 个 5BIT DAC 共用一个使能信号, 配置为 1 时使能, 默认情况下为禁止, 禁止时输出为高阻 0。其中, VDD 为参考电源电压, CODE5 为二进制配置位输入。如, CODE5 为 10000 时, Vout 为 VDD/2。如表 3-4 所示为比较器模块对应寄存器说明。

表 3-4 比较器模块对应寄存器说明

寄存器 0X7102	功能位	功能描述
BIT15	REG_COMP1CT	比较器 COMP1 使能开关, '0' 关闭比较器 COMP1, '1' 打开比较器, 同时打开通往 CAP1 端口通道
BIT14	REG_COMP2CT	比较器 COMP2 使能开关, '0'

		关闭比较器 COMP2, '1' 打开比较器, 同时打开通往 CAP2 端口通道
BIT13	REG_COMP3CT	比较器 COMP3 使能开关, '0' 关闭比较器 COMP3, '1' 打开比较器, 同时打开通往 CAP3 端口通道
BIT12	REG_COMPHCT	比较器 COMPH 使能开关, '0' 关闭比较器 COMPH, '1' 打开比较器。
BIT11	REG_COMPLCT	比较器 COMPL 使能开关, '0' 关闭比较器 COMPL, '1' 打开比较器。
BIT10	REG_DACCT	内部 DAC 使能, '0' 关闭 DAC, '1' 打开 DAC
BIT9	REG_REFH_CODE4	DACH 数据输入位 4
BIT8	REG_REFH_CODE3	DACH 数据输入位 3
BIT7	REG_REFH_CODE2	DACH 数据输入位 2
BIT6	REG_REFH_CODE1	DACH 数据输入位 1
BIT5	REG_REFH_CODE0	DACH 数据输入位 0
BIT4	REG_REFL_CODE4	DAFL 数据输入位 4
BIT3	REG_REFL_CODE3	DAFL 数据输入位 3
BIT2	REG_REFL_CODE2	DAFL 数据输入位 2
BIT1	REG_REFL_CODE1	DAFL 数据输入位 1
BIT0	REG_REFL_CODE0	DAFL 数据输入位 0

## 3.5 温度传感器

如图 3-5-1 温度传感器是利用 PN 结压降的温度相关性来实现温度检测, 通过 ADCINA3 通道对传感器输出电压进行采样, 可间接获得温度值。

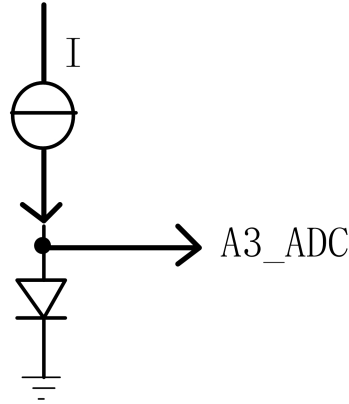


图 3-5-1 温度传感器原理图

配置 0x7103h.T\_SENSOR 位 (0x7103h 地址的 bit8) 为 1, 可打开温度传感器, 接通温度传感器输出与 ADCINA3 通道, 此时 ADCINA3 既用作外部 ADC 输入引脚又用作温度传感器的接入点。(作为温度传感器使用时 ADCINA3 通道外部必须悬空或外挂滤波电容)

温度传感器的输出电压和 ADC 的转换结果随着结温的升高而增加。如图 3-5-2 用虚线做交叉标记位置所示, Offset 定义为 0°C LSB。该信息可用于将 ADC 输出码转换为温度单位。

ADC 输出转化为温度单位的传输函数定义为:

$$Temperature = (AD_{digital.value} - Offset) \times Slope$$

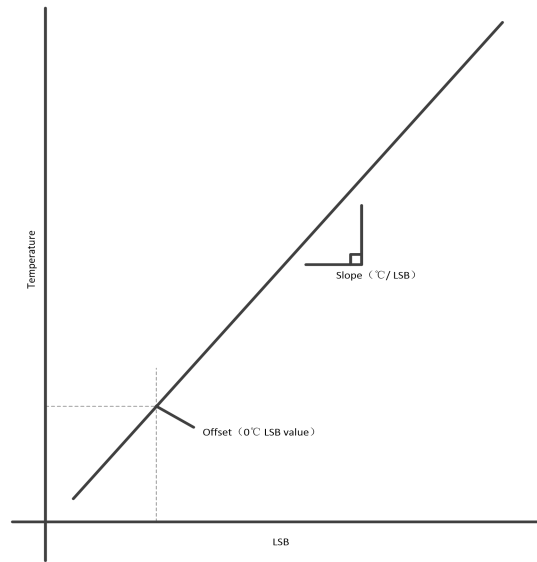


图 3-5-2 温度 VS ADC\_CODE

### 3.6 数字延时滤波单元

数字延时滤波单元, 作用于以下信号: CAP1~CAP3, XINT1、XINT2/ADCSOC以及PDPINTA。在

满足跳变后持续超过6（或12）个时钟周期的高/低电平条件时，这些信号才真正会被响应。

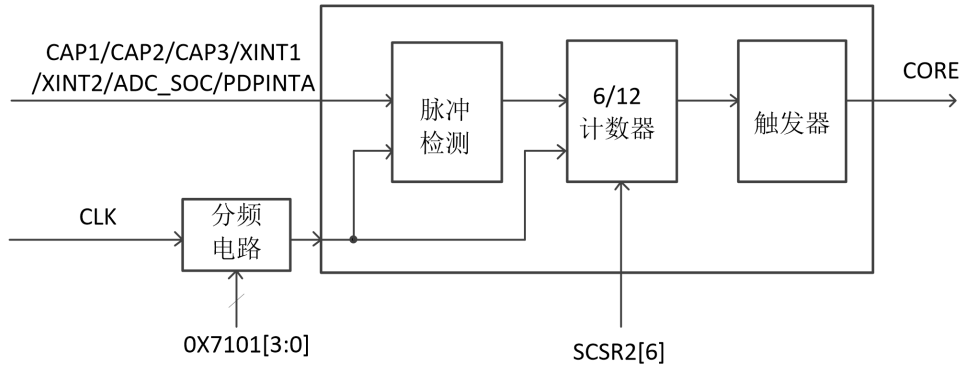


图 3-6 数字延时滤波单元

图3-6为数字延时滤波单元结构图，通过0X7101[3:0]可以配置延时电路的计数时钟，通过SCSR2[6]可配置延时电路计数值，最终得到不同的延时滤波时间。表3-6为40M主频下延时滤波时间参考配置表

表3-6 延时滤波时间参考配置表

7101[3]	7101[2]	7101[1]	7101[0]	SCSR2[6]	滤波情况
0	0	0	0	0	0.5us
0	0	1	0	0	1us
0	0	0	1	1	1.5us
0	0	1	1	0	2us
0	1	0	0	0	2.5us
0	1	0	1	0	3us
0	1	1	0	0	3.5us
0	1	1	1	0	4us
0	0	1	1	1	4.5us
1	0	0	0	0	5us
Reserved	Reserved	Reserved	Reserved	Reserved	0.5us

注 1：以上表格的滤波实际值是在假设系统时钟在 40MHz 的情况下才成立的。

注 2：能滤除小于 5（11）个时钟周期的脉冲，至于 5~6（11~12）个时钟周期的脉冲，有些能滤掉，有些不能滤掉，主要由输入信号相对 CLK 的相位决定

### 3.7 串行通信接口 (SCI) 模块

ADP16F01包含一个串行通信接口 (SCI) 模块，串口通信模块的寄存器的位宽为8位。SCI支持CPU和

其他使用标准NRZ（非归零）格式的异步外设之间进行异步串行数字通信。SCI的接收器和发送器是双缓冲的，各自有独立使能和中断位，两者均可以独立工作，或者在全双工模式下同时工作。为了确保数据的完整性，SCI会对收到的数据进行测试，如间断测试、奇偶性、超限和帧错误测试等。位速率（波特率）可以通过一个16位的波特率选择寄存器进行编程，因此可以获得超过65000种的不同速率。

SCI模块包括：

- 两个 I/O 引脚
  - SCIRXD: SCI 接收数据引脚
  - SCITXD: SCI 发送数据引脚
- 波特率可设定到 64K 不同速率
- 数据字格式
  - 1 个起始位
  - 1~8 位的可编程数据字长度
  - 奇偶校验位 (有/无)
  - 一个或两个停止位
- 4 个错误检测标志：奇偶、超载、数据帧、和中断检测
- 两种唤醒多处理器模式：空闲线唤醒和位寻址唤醒
- 半双工或全双工操作
- 双缓冲的接收和发送功能
- 发送器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成。
  - 发射器：TXRDY 标志（发送器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY 标志位（发射器移位寄存器已空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外字符），BRKDT 标志（间断条件发生）和 RX ERROR 标志（监视 4 个中断条件）
- 用于发射器和接收器中断的独立使能位（除了 BRKDT）
- NRZ（非归零）码格式
- SCI 模块控制寄存器位于开始地址为 7050h 的控制寄存器帧内

注意：该模块中的所有寄存器都是连接到 16 位外设总线的 8 位寄存器。当访问寄存器时，寄存器数据位于低位字节（7-0），高位字节（15-8）被读为零。写入高位字节不起作用。

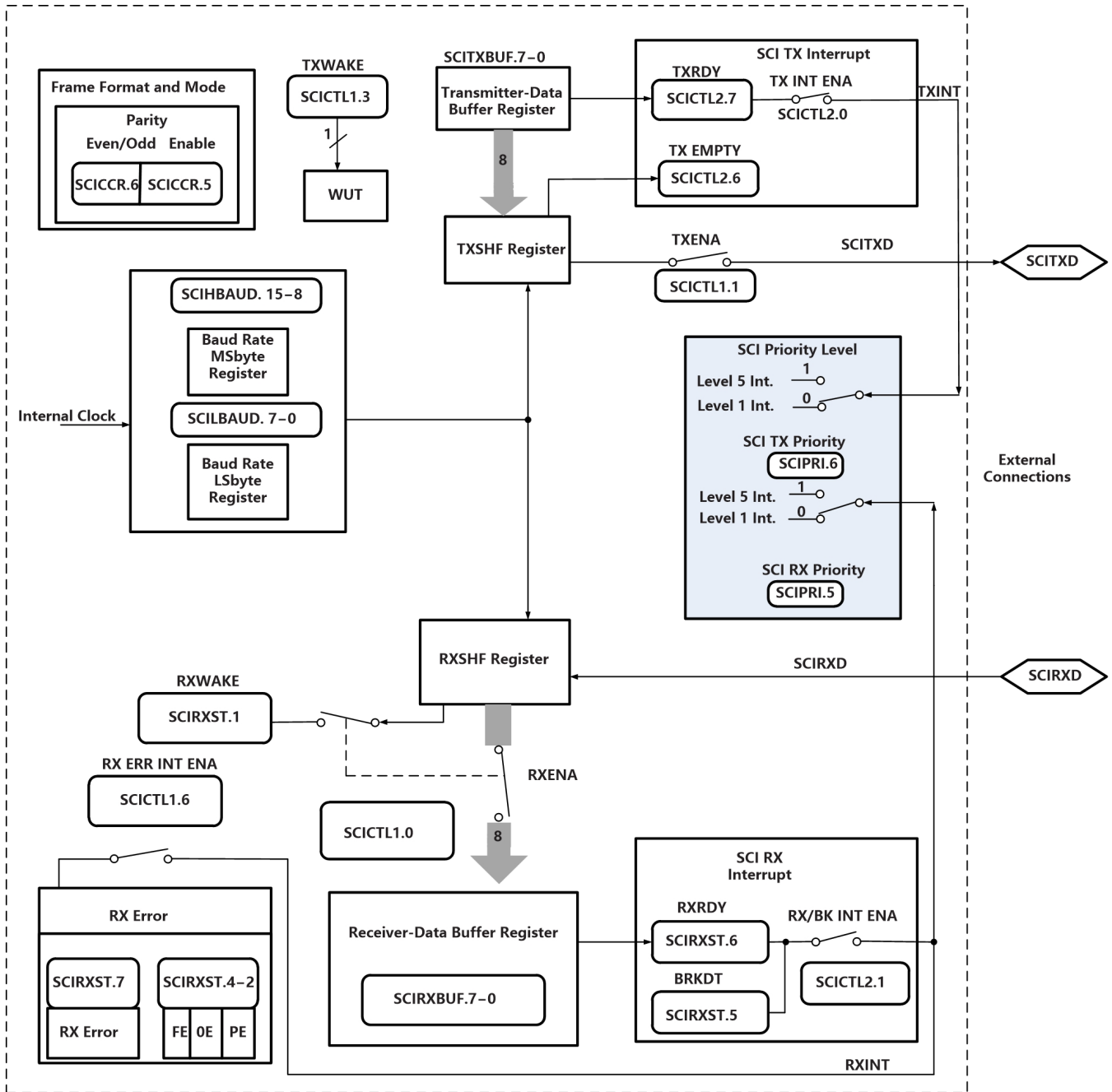


图 3-7 SCI 模块的方框图

## 3.8 串行外设接口 (SPI) 模块

ADP16F01 带有四引脚串行外设接口 (SPI) 模块。SPI 是一个高速同步串行 I/O 端口，该设备端口传输的串行数据流的位宽 (1 至 16 位) 是可编程的。通常 SPI 用于 DSP 控制器与外部设备或其他处理器之间的通信。典型应用包括外部 I/O 或通过该设备接口外扩移位寄存器、显示驱动器以及 ADC。SPI 的主/从..工作模式支持多设备通信。

### SPI 模块的功能包括:

- 四个外部引脚:
  - SPISOMI: SPI 从机--输出/主机--输入引脚
  - SPISIMO: SPI 从机--输入/主机--输出引脚
  - SPISTE : SPI 从机发送使能引脚
  - SPICLK : SPI 串行时钟引脚

注: 如果不使用 SPI 模块时, 这四个引脚可以作为 GPIO 口使用。

- 两种运行模式: 主模式和从模式
- 波特率: 可编程 125 个不同的速率。
- 数据字长: 1~16 个数据位
- 四个时钟模式 (由时钟极性和时钟相位位控制) 包括:
  - 下降沿无相位延迟: SPICLK 高电平有效。 SPI 在 SPICLK 信号的下降沿传输数据, 并在 SPICLK 信号的上升沿接收数据。
  - 下降沿有相位延迟: SPICLK 高电平有效。 SPI 在 SPICLK 信号的下降沿前半个周期传送数据, 并在 SPICLK 信号的下降沿接收数据。
  - 上升沿无相位延迟: SPICLK 无效低电平。 SPI 在 SPICLK 信号的上升沿传输数据, 并在 SPICLK 信号的下降沿接收数据。
  - 上升沿有相位延迟: SPICLK 无效低电平。 SPI 在 SPICLK 信号的下降沿之前的一个半个周期传送数据, 并在 SPICLK 信号的上升沿接收数据。
- 同时接收和发送操作 (在软件中可以禁用发送功能)
- 发射器和接收器操作是通过中断或查询状态标志位的方式来完成。
- 9 个 SPI 模块控制寄存器: 位于控制寄存器中, 在地址 7040h 开始。

注: 这个模块中的所有寄存器都是 16 位寄存器, 它们连接到 16 位外围总线。当一个寄存器被访问时, 寄存器数据位于下一个字节(7 0), 上字节(15 8)被读取为 0。对上字节的写入没有影响。



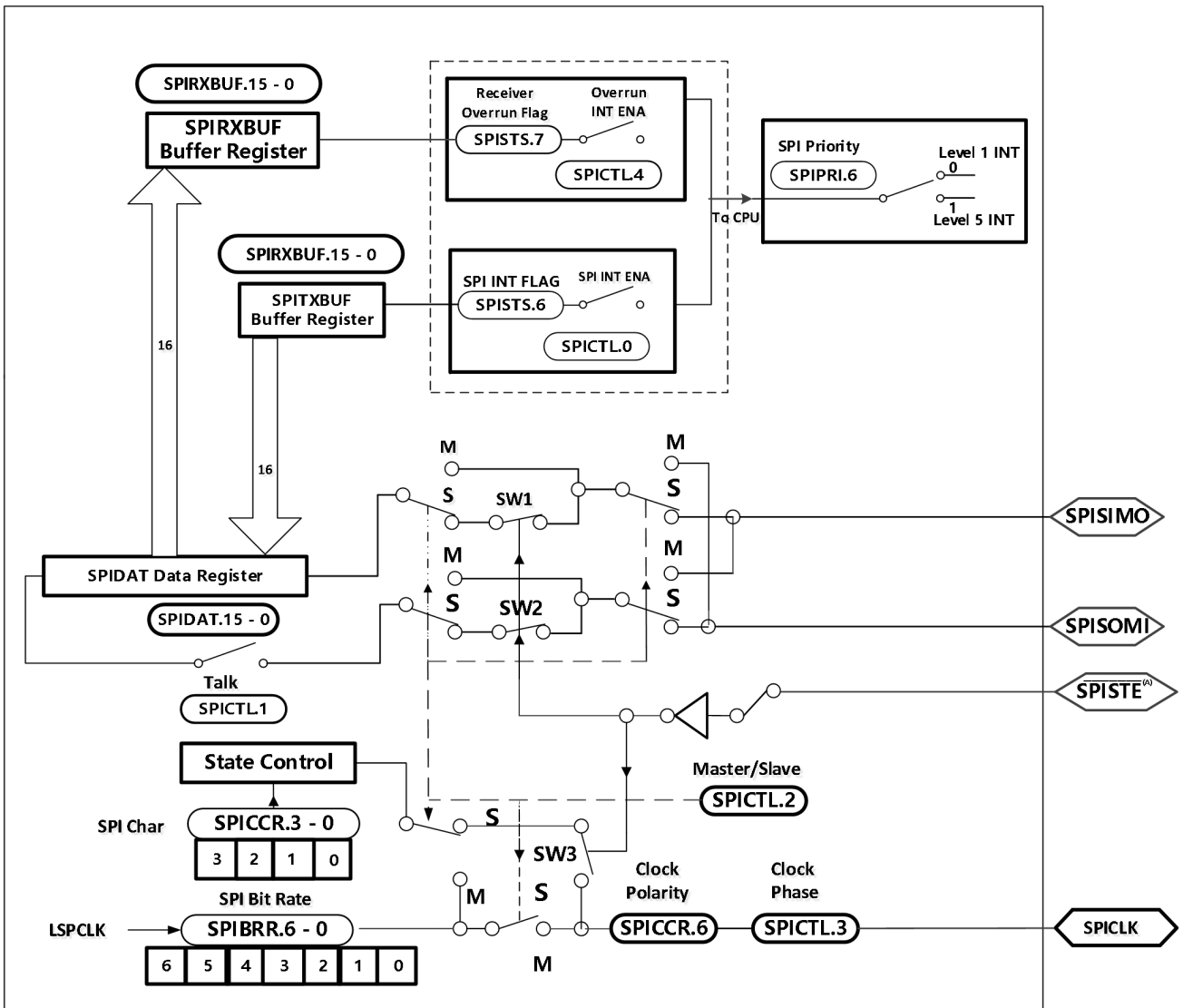


图 3-8 SPI 从模式的工作原理方框图

### 3.9 PLL 时钟模块

ADP16F01 有一个片载、基于 PLL 的时钟模块。这个模块为设备提供所有需要的时钟信号，以及控制设备进入低功耗模式。PLL 通过 4 个比特位 SCSR1[15]和 SCSR1[11:9]来控制 and 选择不同的 CPU 时钟频率。

关于PLL时钟模块的框图，请参见图3-9。

时钟速率请参见表3-9。

基于PLL的时钟模块提供两种操作模式：

- 片内高精度OSC

默认设置寄存器 SCSR1[3]为 0 时，选择片内高精度 OSC。

- 外部时钟源模式

设置寄存器 SCSR1[3]为 1 时，选择外部时钟源。外部振荡器时钟从 IOPE1/PWM7 引脚输入。

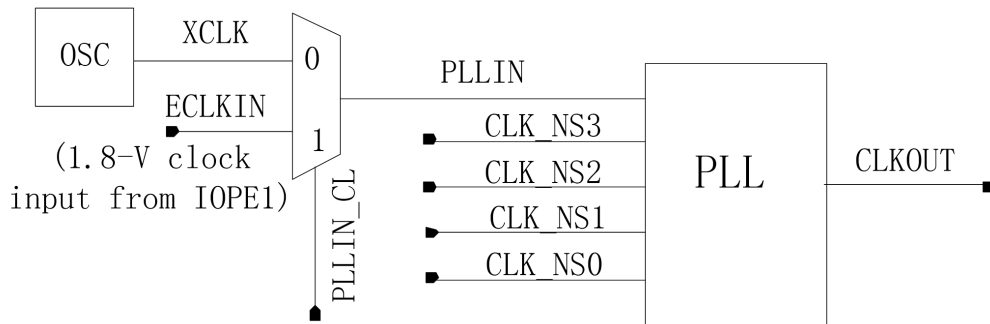


图3-9 PLL时钟模块框图

表3-9通过SCSR1寄存器选择PLL时钟

SCSR1[11: 9]	SCSR1[15]	PLLOUT	SCSR1[11: 9]	SCSR1[15]	PLLOUT
000	0	PLL *1/2	000	1	PLLIN *1/2
001	0	PLLIN *2/2	001	1	PLLIN *3/2
010	0	PLLIN *4/2	010	1	PLLIN *5/2
011	0	PLLIN *6/2	011	1	PLLIN *7/2
100	0	PLLIN *8/2	100	1	PLLIN *9/2
101	0	PLLIN *10/2	101	1	PLLIN *11/2
110	0	PLLIN *12/2	110	1	PLLIN *13/2

### 3.9.1 片内高精度 OSC

通过在该设备集成片内高精度 OSC，无需片外晶振。OSC 的指标参数如表 3-9-1 所示：

表 3-9-1 OSC 的指标参数

指标参数	最小值	典型值	最大值	单位
OSC在25°C时频率	9.800	10.000	10.200	MHz
OSC在-20°C~125°C时频率	9.800	10.000	10.200	MHz

### 3.9.2 低功耗模式

ADP16F01 有一个 IDLE 指令。执行时，IDLE 指令将停止 CPU 的时钟，但 CPU 的时钟输出继续运行。通过此指令，可以关闭 CPU 时钟以节省功耗，而外设（CLKOUT 时钟）继续运行。如果它被复位，或者，如果它收到一个中断请求，CPU 退出 IDLE 状态。

### 3.9.3 时钟域

所有基于 ADP16F01 的设备都有两个时钟域：

- CPU 时钟域 - 由大部分 CPU 逻辑的时钟组成。
- 系统时钟域 - 由外设时钟（来自 CPU 的 CLKOUT）和 CPU 中的中断逻辑时钟组成。

当 CPU 进入 IDLE 模式时，CPU 时钟域在系统时钟域继续运行时停止。这种模式也被称为 IDLE1 模式。CPU 还支持第二种 IDLE 模式 IDLE2。通过 IDLE2 旁路 CPU，CPU 时钟域和系统时钟域都将停止，从而进一步节省功耗。当在 IDLE2 模式下振荡器和 WDCLK 也被关闭，那就会进去 HALT 模式，这可能是第三种最深的低功耗模式。两个控制位 LPM1 和 LPM0 指定执行 IDLE 指令时，决定了进入三种可能的低功耗模式中的哪一种。这些位在系统控制和状态寄存器 1（SCSR1）中。

### 3.9.4 其他掉电选项

ADP16F01 具有用于以下片内外设的时钟使能位：ADC，SCI，SPI，EM1。复位后，这些外设的时钟被禁止；因此，设备的启动功率可能较低。根据应用的不同，可以打开/关闭这些外设以实现低功耗。

关于外设时钟使能位的详细信息，请参考 SCSR1 寄存器（参考《ADP16F01 辅助控制寄存器说明与注意事项》）。

## 3.10 数字 I/O 口以及复用引脚功能

ADP16F01 具有多达 23 个通用双向数字 I/O（GPIO）引脚，其中大部分引脚属于功能和通用

I/O 复用硬件。数字 I/O 端口模块为控制和使用通用 I/O 和数字功能提供了一种灵活的方法。

所有的 I/O 的数字功能和通用 IO 功能都由 8 个 16 位寄存器控制。这些寄存器分为两种类型：

- 输出控制寄存器：用于控制引脚在的数字功能或通用 I/O 功能在多路复用器中的输出选择。
- 数据和控制寄存器：用于控制双向 I/O 引脚的数据和数据方向。

### 3.10.1 复用 I/O 引脚的描述

通用 I/O 引脚的控制结构如图 3-10-1 所示，其中每个引脚都有三个位来定义其操作：

- Mux 控制位：该位在引脚的主功能 (1) 和 I/O 功能 (0) 之间进行选择。
- I/O 方向位：如果引脚选择了 I/O 功能 (多路复用控制位设置为 0)，该位决定引脚是输入 (0) 还是输出 (1)。
- I/O 数据位：如果引脚选择了 I/O 功能 (多路复用控制位设置为 0)，并且所选方向为输入，则从该位读取数据；如果选择的方向是输出，则将数据写入该位。

多路复用控制位，I/O 方向位和 I/O 数据位在 I/O 控制寄存器中。

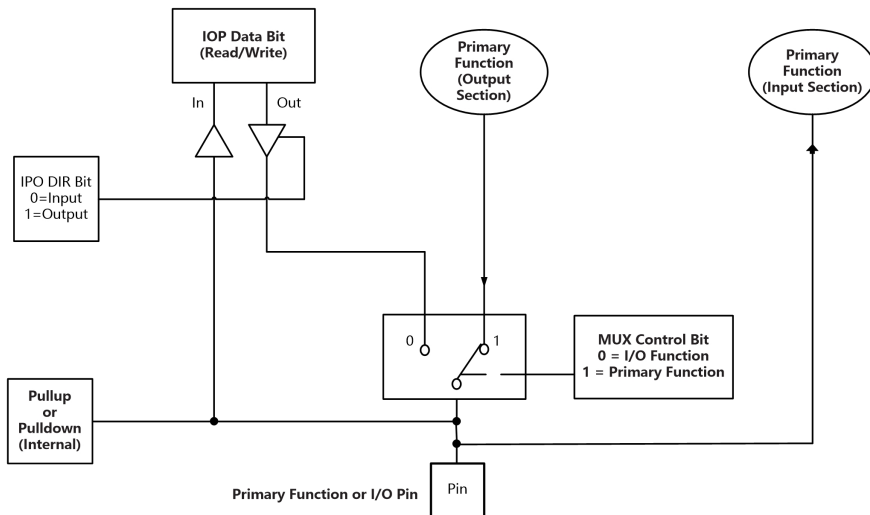


图 3-10-1 复用引脚配置

表 3-10-1 中显示了共享引脚配置和相关位的汇总

引脚功能选择		MUX 控制寄存器 (name.bit)	MUX 控制值复位 (MCRx.n)	I/O 端口数据和方向		
(MCRx.n = 1)(MCRX.N = 0) 主要功能	I/O			寄存器	数据位编号	方向位编号
<b>PORT A</b>						
SCITXD	IOPA0	MCRA.0	0	PADATDIR	0	8
SCIRXD	IOPA1	MCRA.1	0	PADATDIR	1	9
XINT1	IOPA2	MCRA.2	0	PADATDIR	2	10
CAP1/QEP1	IOPA3	MCRA.3	0	PADATDIR	3	11
CAP2/QEP2	IOPA4	MCRA.4	0	PADATDIR	4	12
CAP3	IOPA5	MCRA.5	0	PADATDIR	5	13

PWM1	IOPA6	MCRA.6	0	PADATDIR	6	14
PWM2	IOPA7	MCRA.7	0	PADATDIR	7	15
<b>PORT B</b>						
PWM3	IOPB0	MCRA.8	0	PBDATDIR	0	8
PWM4	IOPB1	MCRA.9	0	PBDATDIR	1	9
PWM5	IOPB2	MCRA.10	0	PBDATDIR	2	10
PWM6	IOPB3	MCRA.11	0	PBDATDIR	3	11
被保留	被保留	MCRA.12	0	PBDATDIR	4	12
被保留	被保留	MCRA.13	0	PBDATDIR	5	13
被保留	被保留	MCRA.14	0	PBDATDIR	6	14
被保留	被保留	MCRA.15	0	PBDATDIR	7	15
<b>PORT C</b>						
被保留	被保留	MCRB.0	1	PCDATDIR	0	8
被保留	被保留	MCRB.1	1	PCDATDIR	1	9
SPISIMO	IOPC2	MCRB.2	0	PCDATDIR	2	10
SPISOMI	IOPC3	MCRB.3	0	PCDATDIR	3	11
SPICLK	IOPC4	MCRB.4	0	PCDATDIR	4	12
SPISTE	IOPC5	MCRB.5	0	PCDATDIR	5	13
被保留	被保留	MCRB.6	0	PCDATDIR	6	14
被保留	被保留	MCRB.7	0	PCDATDIR	7	15
<b>PORT D</b>						
XINT2/ADCSOC	IOPD0	MCRB.8	0	PDDATDIR	0	8
被保留	被保留	MCRB.9	1	PDDATDIR	1	9
被保留	被保留	MCRB.10	1	PDDATDIR	2	10
TCK	IOPD3	MCRB.11	1	PDDATDIR	3	11
TDI	IOPD4	MCRB.12	1	PDDATDIR	4	12
TDO	IOPD5	MCRB.13	1	PDDATDIR	5	13
TMS	IOPD6	MCRB.14	1	PDDATDIR	6	14
被保留	被保留	MCRB.15	1	PDDATDIR	7	15
<b>PORT E</b>						
被保留	被保留	MCRC.0	1	PEDATDIR	0	8
PWM7/CLKIN	IOPE1	MCRC.1	0	PEDATDIR	1	9
被保留	被保留	MCRC.2	0	PEDATDIR	2	10
被保留	被保留	MCRC.3	0	PEDATDIR	3	11
BOOT 引导模式切换	IOPE4	MCRC.4	0	PEDATDIR	4	12
B7_OP4N	IOPE5 (只作输入)	MCRC.5	0	PEDATDIR	5	13
B6_OP4P	IOPE6 (只作输入)	MCRC.6	0	PEDATDIR	6	14
B5_OP3N	IOPE7 (只作输入)	MCRC.7	0	PEDATDIR	7	15
<b>PORT F</b>						
B4_OP3P	IOPF0 (只作输入)	MCRC.8	0	PFDATDIR	0	8
B3_OP2N	IOPF1 (只作输入)	MCRC.9	0	PFDATDIR	1	9
B2_OP2P	IOPF2 (只作输入)	MCRC.10	0	PFDATDIR	2	10

OP1N	IOPF3 (只作输入)	MCRC.11	0	PFDATDIR	3	11
OP1P	IOPF4 (只作输入)	MCRC.12	0	PFDATDIR	4	12
被保留	被保留	MCRC.13	0	PFDATDIR	5	13
被保留	被保留	MCRC.14	0	—	—	—
被保留	被保留	MCRC.15	0	—	—	—

### 3.10.2 数字 I / O 控制寄存器

表 3-10-2 列出了数字 I / O 模块中可用的寄存器。这些寄存器都是内存映射到数据空间的。

表 3-10-2 数字 I / O 控制寄存器的地址

地址	寄存器	名称
7090h	MCRA	I / O 多路复用控制寄存器 A
7092h	MCRB	I / O 多路复用控制寄存器 B
7094h	MCRC	I / O 多路复用控制寄存器 C
7095h	PEDATDIR	I / O 端口 E 数据和方向寄存器
7096h	PFDATDIR	I / O 端口 F 数据和方向寄存器
7098h	PADATDIR	I / O 端口 A 数据和方向寄存器
709Ah	PBDATDIR	I / O 端口 B 数据和方向寄存器
709Ch	PCDATDIR	I / O 端口 C 数据和方向寄存器
709Eh	PDDATDIR	I / O 端口 D 数据和方向寄存器

### 3.11 看门狗 (WD) 的定时器模块

ADP16F01 片内有看门狗 (WD) 定时器模块。如果设备没有定期通过软件写入正确的密钥来监视软件和硬件的操作, 该模块的 WD 功能就会生成一个系统复位信号。WD 定时器独立于 CPU 工作, 它不需要任何 CPU 初始化功能。当发生系统复位时, WD 定时器默认设置为最高速率 (WDCLK 信号 = CLKOUT / 512)。一旦内部解除复位, CPU 开始执行代码, WD 定时器开始递增。这意味着, 为了避免过早复位, WD 设置应该在上电复位的早期进行。有关 WD 模块的框图, 请参见图 3-11。WD 模块功能包括以下内容:

- WD 定时器
  - 7 种不同 WD 溢出速率
  - 一个 WD-Reset KEY (WDKEY) 寄存器, 用于在正确的值被写入时清除 WD 计数器, 并在寄存器写入错误值时产生系统复位
  - 如果 WD 控制寄存器 (WDCR) 写入不正确的值, WD 检测对应的控制位后将启动系统复位
- 一旦系统复位被解除, WD 计时器自动激活
  - 三个 WD 控制寄存器位于控制寄存器框架中, 从地址 7020h 开始。

注：此模块中的所有寄存器都是 8 位寄存器，当一个寄存器被访问时，所述寄存器的数据在低字节，高位字节被读为零。写高位字节没有任何效果。

表 3-11 显示了不同的 WD 溢出(超时)选择。

当 SCCR2 寄存器 (SCSR2.5) 的第 5 位为 1 时，WDCR 寄存器 (WDCR.6) 的第 6 位写 “1” 可以禁止看门狗。如果 SCSR2.5 为 0，看门狗将不会被禁用。SCSR2.5 相当于 ADP16 器件的 WDDIS 引脚。

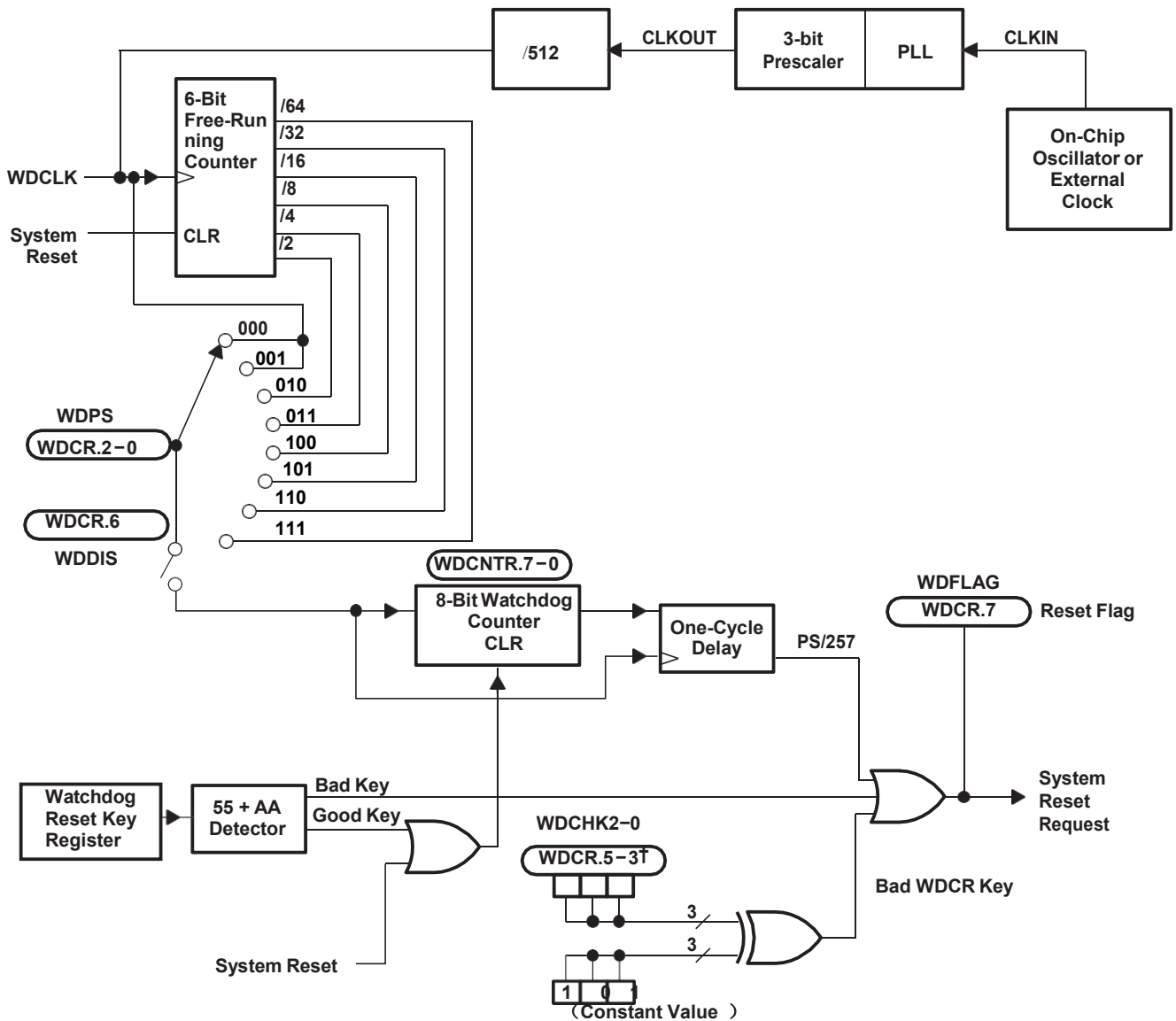


图 3-11 WD 模块的工作原理方框图

写入位 WDCR。除了正确的模式(101)以外，其他任何东西都可以生成一个系统重置。

表 3-11 WD 溢出 (超时) 选择

WD 频选择 BITS			WDCLK 除法	看门狗 时钟速率†
WDPS2	WDPS1	WDPS0		频率 (Hz)
0	0	X‡	1	WDCLK / 1
0	1	0	2	WDCLK / 2
0	1	1	4	WDCLK / 4
1	0	0	8	WDCLK / 8
1	0	1	16	WDCLK / 16
1	1	0	32	WDCLK / 32
1	1	1	64	WDCLK / 64

## 4 开发支持

进芯电子为 ADP16F01 提供的开发工具包括评估处理器性能, 生成代码, 开发算法以及完全集成调试软件和硬件模块的工具, 下面的产品支持基于 ADP16F01 应用的开发。

### 4.1 软件开发工具

汇编器/连接器

模拟器

优化 ANSI C 编译器

应用算法

C/汇编调试器和代码分析器

### 4.2 硬件开发支持:

仿真器 XDS510™ (支持 ADP16F01 多处理器系统调试)

ADP16F01EVM (用于 ADP16 DSP 的评估模块)

有关 ADP16F01 的开发支持工具的完整列表, 请参见表 4-2-1 和表 4-2-2。

表 4-2-1 开发支持工具

开发工具	平台	零件号
软件 - 代码生成工具		
汇编器/连接器	pc, Windows xp/ Windows 7 32bit	
C 编译器/汇编器/连接器	pc, Windows xp/ Windows 7 32bit	
软件 - 仿真		
模拟器	SPARC, Open Windows	
软件 - 仿真调试工具		
CCStudio v3.3	PC, Windows xp/ Windows 7 32bit	
C 源码调试器 - WS	SPARC, SunOS	
硬件 - 仿真调试工具		
Advchip XDS510, 带 JTAG 接口	PC Windows xp/ Windows 7 32bit	



表 4-2-2 ADP16F01 专用开发工具

开发工具	平台	零件号
硬件 - 评估/入门套件		
ADP16F01 EVM	PC Windows xp/ Windows 7 32bit	

ADP16F01 评估模块 (EVM) 为电机和运动控制应用的设计人员提供了一个完整而经济的开发平台, 将设计从概念设计到生产。 这些工具提供了一个硬件和软件开发环境, 主要包括:

- 基于闪存的 ADP16F01 评估板
- 代码生成工具
- 汇编器/连接器
- C 编译器
- 源代码调试器
- Code Composer IDE
- 基于 JTAG 的仿真器
- 示例应用程序代码
- 文档和接口

## 4.3 文档支持

提供大量用于应用开发的技术文档, 比如类似于本文档的带有设计规格的数据表; 这些文档为所有设备和开发支持工具完整的用户指南; 和硬件和软件应用程序。有用的参考文件包括:

- **用户指南**
  - 《TMS320LF/LC24 系列 DSP 的 CPU 与外设》
  - 《ADP16F01\_ADC 与新增寄存器说明补充》
- **数据表**
  - ADP16F01 数据手册
- **应用报告**
  - 用于数字电机控制的 3.3V DSP

## 5 电气规范

### 5.1 绝对最大额定值

#### 在工作自由空气温度范围内的绝对最大额定值

端口电压范围, $V_{DDIO}$ 和 $V_{CCA}$ .....	-0.3 至 4.6V
内核电压范围, $V_{DD}$ .....	-0.3 至 2.8V
输入电压范围, $V_{IN}$ .....	-0.3 至 4.6V
输出电压范围, $V_O$ .....	-0.3 至 4.6V
输入钳位电流, $I_{IK}$ ( $V_{IN} < 0$ 或 $V_{IN} > V_{CC}$ ) .....	$\pm 20$ mA
输出钳位电流, $I_{OK}$ ( $V_O < 0$ 或 $V_O > V_{CC}$ ) .....	$\pm 20$ mA
运行温度范围.....	- 20°C to 125°C
结温范围, $T_J$ .....	-20°C 至 150°C
贮存温度范围, $T_{stg}$ .....	-50°C 至 150°C

### 5.2 建议的运行条件

		最小值	标称值	最大值	单位	
$V_{DDIO}$	电源电压, I/O	3	3.3	3.6	V	
$V_{DD}$	电源电压, CPU	1.6	1.8	2	V	
VSS	电源接地	0	0	0	V	
$V_{CCA}^{①}$	ADC 电源电压	3	3.3	3.6	V	
$f_{CLKOUT}$	设备时钟频率 (系统时钟)	1		40	MHz	
$V_{IH}^{②}$	高电平输入电压	所有输入			2.4	V
$V_{IL}$	低电平输入电压	所有输入			0.8	V
$I_{OH}$	高电平输出源电流, $V_{OH} = 2.4$ V	输出引脚组 1 <sup>③</sup>			-4	mA
		输出引脚组 2 <sup>③</sup>			-4	
		输出引脚组 3 <sup>③</sup>			-8	
$I_{OL}$	低电平输出灌电流, $V_{OL} = V_{OL Max}$	输出引脚组 1 <sup>③</sup>			4	mA
		输出引脚组 2 <sup>③</sup>			4	
		输出引脚组 3 <sup>③</sup>			8	

$T_A$ 大气温度		-20	125	°C	
$T_J$ 贮存温度		-50	25	150	°C
$N_f$ 阵列的闪存耐久性 (写/擦除周期)	-20°C至 85°C	100	1K	周期	

①VCCA 不应超过 VDDO 的 0.3 V。

②ADP16 中使用的输入缓冲器不兼容 5V。

③主要信号及其分组：

组 1: PWM1-PWM6, CAP1-CAP3, TCK, TDI, TMS

组 2: SPICLK, SPISOMI, SPISIMO, SPISTE, PWM7, IOPE4, TDO

组 3: SCIRXD, SCITXD, XINT1, XINT2

## 5.3 建议运行温度范围内的电气特性

参数		测试条件	最小值	标称值	最大值	单位
$V_{OH}$ 高电平输出电压		$V_{DDIO}=3.0V, I_{OH}=I_{OH Max}$	2.4			V
		所有输出为 50 $\mu$ A	$V_{DDO}-0.2$			
$V_{OL}$ 低电平输出电压		$I_{OL}=I_{OL Max}$	0.4			V
$I_{IL}$ 输入电流 (低电平)	带上拉电阻器	$V_{DDIO} = 3.3 V, V_{IN} = 0 V$	-100			$\mu$ A
	带下拉电阻器		$\pm 2$			
$I_{IH}$ 输入电流 (高电平)	带上拉电阻器	$V_{DDIO} = 3.3 V, V_{IN} = V_{DD}$	$\pm 2$			$\mu$ A
	带下拉电阻器		40			
$I_{OZ}$ 输出电流, 高阻抗状态 (关闭状态)		$V_O = V_{DD} \text{ or } 0 V$	$\pm 2$			$\mu$ A
$C_i$ 输入电容			2			pF
$C_o$ 输出电容			3			pF

## 5.4 流耗

### 在 40MHz CLOCKOUT 上的建议运行温度范围内电源引脚的流耗

参数	测试条件	最小值	标称值	最大值	单位
$I_{DD}^{①}$ 工作电流	所有外设的时钟使能。SYSClk=40MHz, CPU 正在运行一个 简单的循环代码, 但 I/O 引脚没有高低转换		30	40	mA
$I_{CCA}^{②}$ ADC 模块电流			14		mA

① $I_{DD}$  包括  $V_{DD}$  和  $V_{DDO}$  引脚的电流。

② $I_{CCA}$  包括  $V_{CCA}$  引脚的电流。

### 在 40MHz CLOCKOUT 上的低功耗模式期间建议运行温度范围内电源引脚的流耗

参数	模式	测试条件	最小值	标称值	最大值	单位
$I_{DD}^{①}$ 工作电流	LMP0	所有外设的时钟使能。		18		mA

$I_{CCA}$	ADC 模块电流		但 I/O 引脚没有高低转换	14	mA
$I_{DD}^{①}$	工作电流	LMP1	所有外设的时钟使能。 但 I/O 引脚没有高低转换	11	mA
$I_{CCA}$	ADC 模块电流			14	mA
$I_{DD}^{①}$	工作电流	LMP2	所有外设的时钟被禁用	4	mA
$I_{CCA}$	ADC 模块电流			14	mA

① $I_{DD}$  是流入  $V_{DD}$  和  $V_{DDO}$  引脚的电流。

② $I_{CCA}$  包括  $V_{CCA}$  引脚的电流。

## 5.5 流耗图

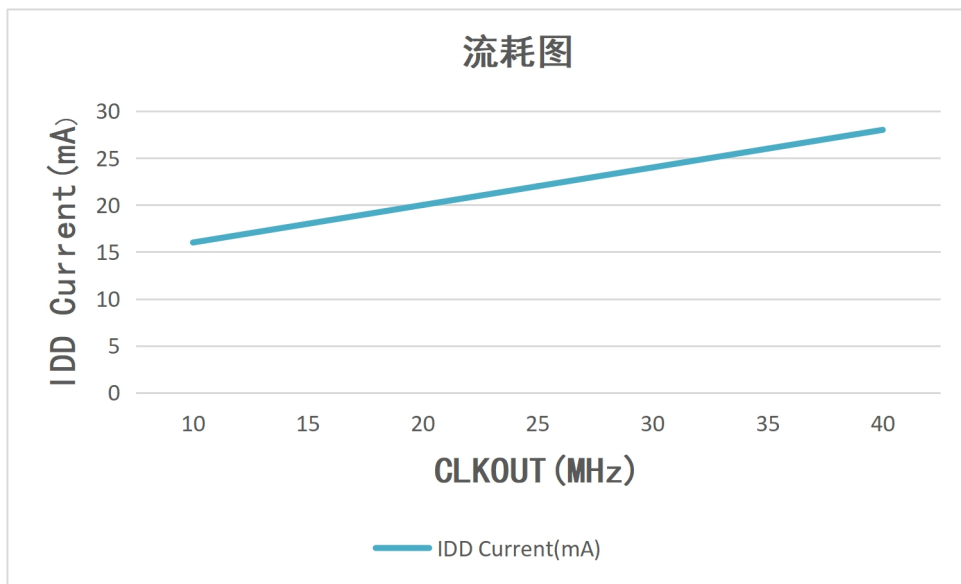


图 5-5 ADP16F01 在频率范围内的典型电流消耗（使能外设时钟，AD 模拟上电）

## 5.6 减少流耗

ADP16F01 DSP采用了一种独特的方法来减少器件的电流消耗。通过关闭指定不使用的的外设模块的时钟可减少流耗。表5-6指明了通过关闭不同外设的时钟所实现的流耗减少的典型值。

表5-6 不同外设的典型消耗

外设模块	电流减小 (mA)
EM1	3
ADC	5 <sup>①</sup>
SCI	1
SPI	1

①这个数字代表了 ADC 模块数字部分所汲取的电流。关闭 ADC 模块的时钟且 ADCCTRL1.2 置 0 模拟上电将消除 ADC 的模拟部分 ( $I_{CCA}$ ) 汲取的电流。

## 5.7 测量参数信息

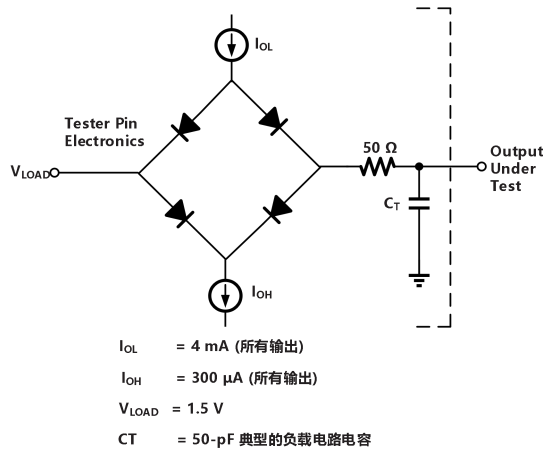


图 5-7 测试负载电路

## 5.8 信号转换电平

请注意一些信号使用不同的参考电压，请参阅推荐的工作条件表。输出电平被驱动至 2.4 V 的最小逻辑高电平和 0.8 V 的最大逻辑低电平。图 5-8 显示了输出电平

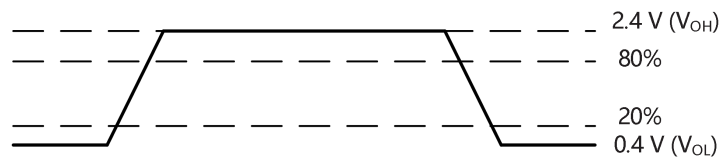


图 5-8-1 输出电平

输出转换时间指定如下：

- 对于一个从高电平到低电平的转换，输出不再被认为是高电平的电平为低于  $V_{OH}$  (最小值) 的 80%，而输出不再被认为是低电平的电平为  $V_{OL}$  (最大值) 的 20% 且更低。

- 对于一个从低电平到高电平的转换，输出不再被认为是低电平的电平为高于  $V_{OL}$  (最大值) 的 20%，而输出不再被认为是高电平的电平为  $V_{OH}$  (最小值) 的 80% 且更高。

图 5-8-2 显示了输入电平

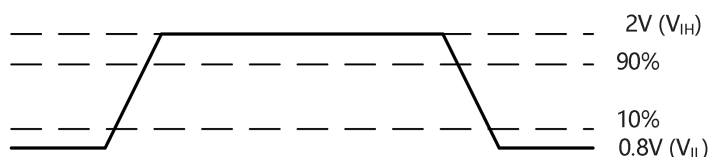


图 5-8-2 输入电平

输入转换时间指定如下：

- 对于一个从高电平到低电平的转换，输入不再被认为是高电平的电平为低于  $V_{IH(\text{最小值})}$  的 90%，而输入不再被认为低电平的电平为  $V_{IL(\text{最大值})}$  的 10% 且更低。
- 对于一个从低电平到高电平的转换，输入不再被认为是低电平的电平为高于  $V_{IL(\text{最大值})}$  的 10%，而输入不再被认为高电平的电平为  $V_{IH(\text{最小值})}$  的 90% 且更高。

## 5.9 时序参数符号

所用的时序参数符号根据 JEDEC 标准 100 创建。为了缩短符号，一些引脚名称和其他术语缩写如下：

CI	CLKIN	CO	CLKOUT
INT	XINT1, XINT2	RS	复位信号 RS

小写下标和它们的含意：

a	访问时间
c	周期时间 (周期)
d	延迟时间
f	下降时间
h	保持时间
r	上升时间
su	建立时间
t	转换时间
v	有效时间
w	脉冲持续时间 (宽度)

字母和符号和它们的含意：

H	高
L	低
V	有效
X	未知、变、或者无关电平
Z	高阻抗

## 5.10 定时参数的通用注释

所有ADP16F01器件的输出信号取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

## 5.11 用于 PLL 电路启用的外部参考晶振/时钟

### PLL 电路启用时序

参数		最小值	最大值	单位
f <sub>x</sub>	输入时钟频率 <sup>①</sup>			MHz
	谐振器	5	40	
	CLKIN	1	40	

①可以调整输入频率（SCSR1寄存器中的CLK PS位），使CLKOUT =最大值40 MHz，最小值1 MHz。

### SYSCLK 开关特性在推荐运行条件下 [H = 0.5 t<sub>c(CO)</sub>] (见图 5-11)

参数	PLL模式	最小值	标称值	最大值	单位
t <sub>c(CO)</sub> 周期时间, SYSCLK	×4模式 <sup>①</sup>	33			ns
t <sub>f(CO)</sub> 下降时间, SYSCLK			4		ns
t <sub>r(CO)</sub> 上升时间, SYSCLK			4		ns
t <sub>w(COL)</sub> 脉冲持续时间, SYSCLK低电平		H-3	H	H+3	ns
t <sub>w(COH)</sub> 脉冲持续时间, SYSCLK高电平		H-3	H	H+3	ns
t <sub>t</sub> 转换时间, PLL在RS引脚为高电平后同步				4096t <sub>c(CI)</sub>	ns

①可以调整输入频率（SCSR1寄存器中的CLK PS位），使SYSCLK =最大值40MHz，最小值1 MHz

### CLKIN 时序需求 (见图 5-11)

	最小值	最大值	单位
t <sub>c(CI)</sub> 周期时间, CLKIN		250	ns
t <sub>f(CI)</sub> 下降时间, CLKIN		5	ns
t <sub>r(CI)</sub> 上升时间, CLKIN		5	ns
t <sub>w(CIL)</sub> 脉冲持续时间, XCLKIN 低电平作为t <sub>c(CI)</sub> 的一部分的时间	40	60	%
t <sub>w(CIH)</sub> 脉冲持续时间, XCLKIN 高电平作为t <sub>c(CI)</sub> 的一部分的时间	40	60	%

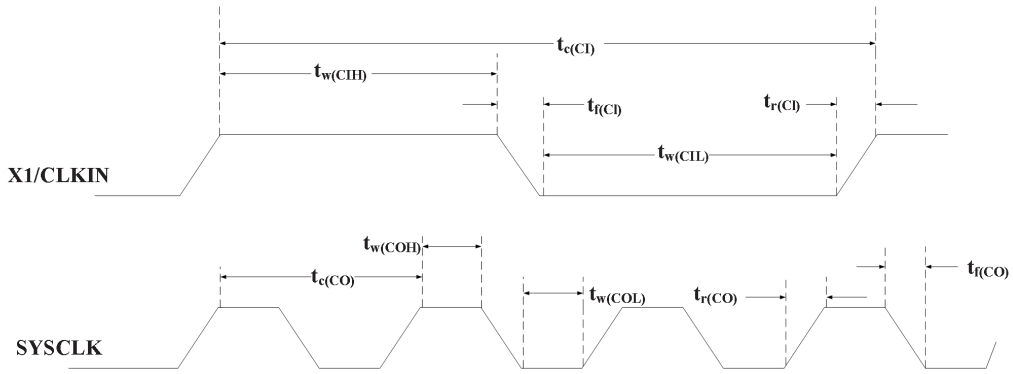


图5-11 在×4模式下通过PLL和外部时钟实现CLKIN至SYSCLK时序

## 5.12 复位时序

复位的时序要求[ $H = 0.5t_{c(CO)}$ ] (见图 5-12-1 和图 5-12-2)

	最小值	标称值	最大值	单位
$t_{w(RSL)}$ 脉冲持续时间, 稳定的 CLKIN 到 RS 高电平的时间	$8t_{c(CI)}$			周期
$t_{w(RSL2)}$ 脉冲持续时间, RS 低电平	$8t_{c(CI)}$			周期
$t_p$ PLL 锁定时间			$4096t_{c(CI)}$	周期
$t_{d(EX)}$ 延迟时间, PLL 锁定时间后执行复位向量的时间		36H		ns

如果使用片上振荡器, 则X1指的是内部振荡器时钟

$t_{oscst}$  是振荡器启动时间, 它依赖于晶体/谐振器和电路板设计

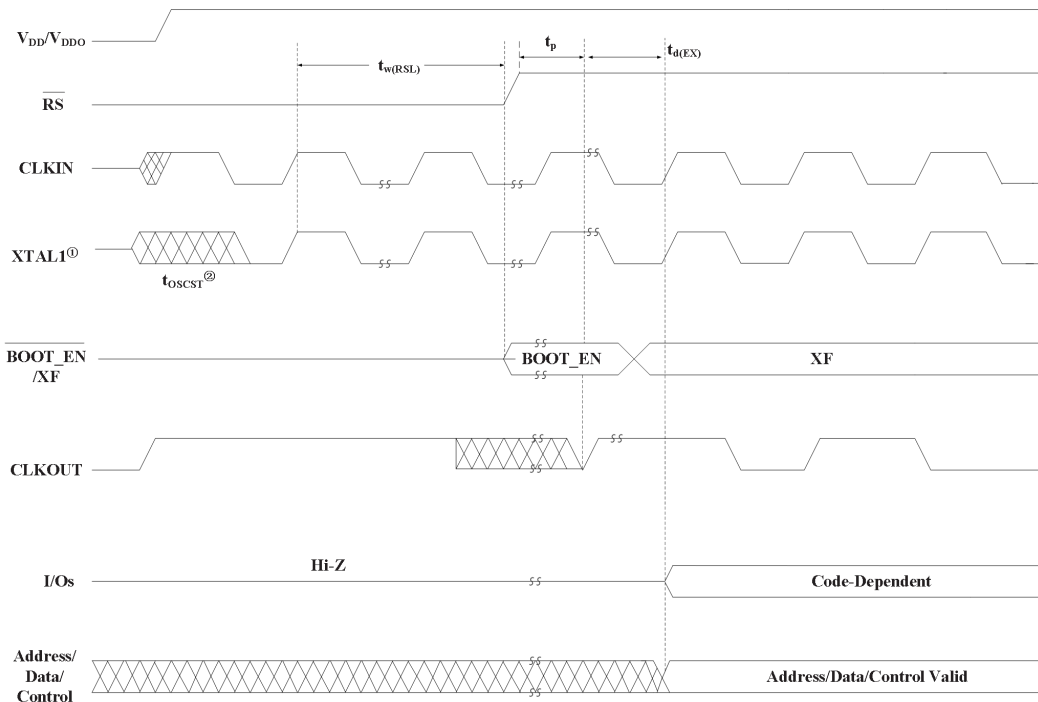
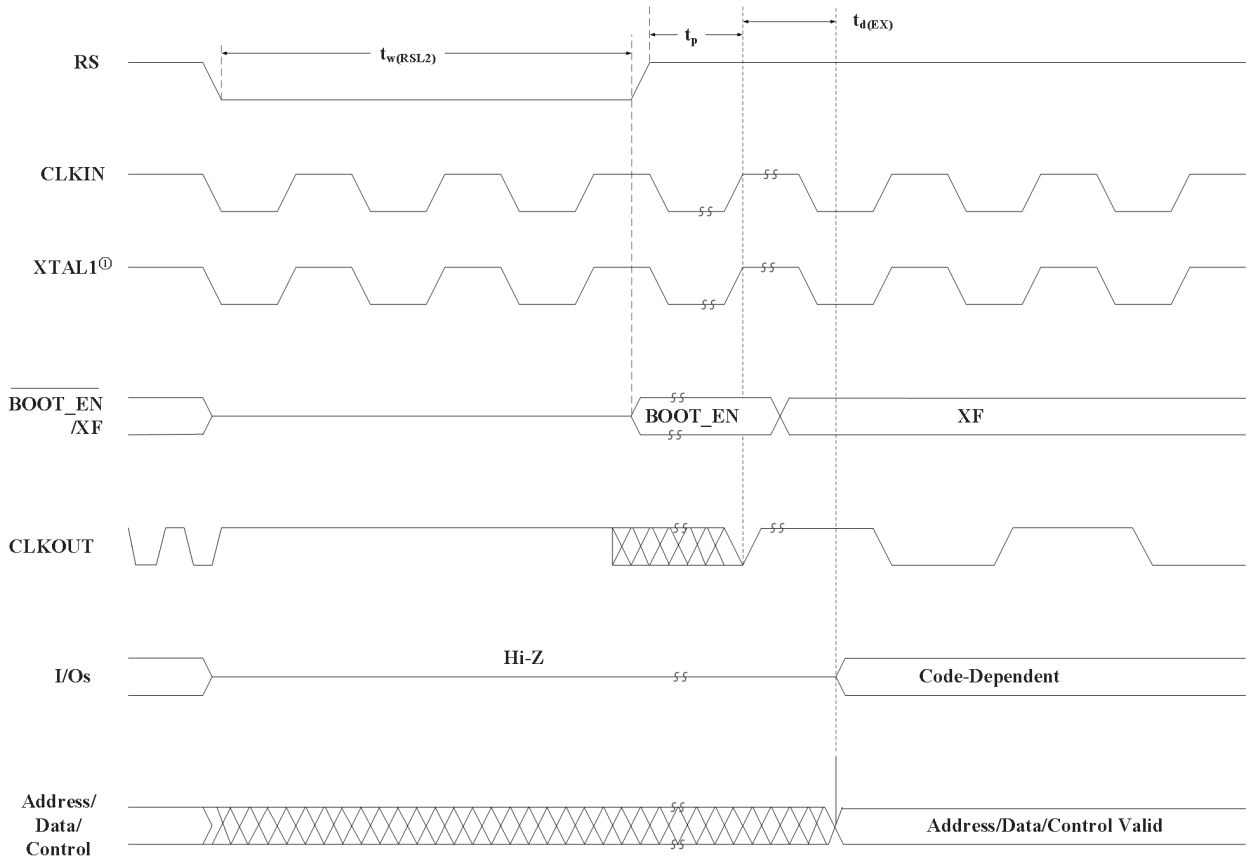


图 5-12-1 上电复位





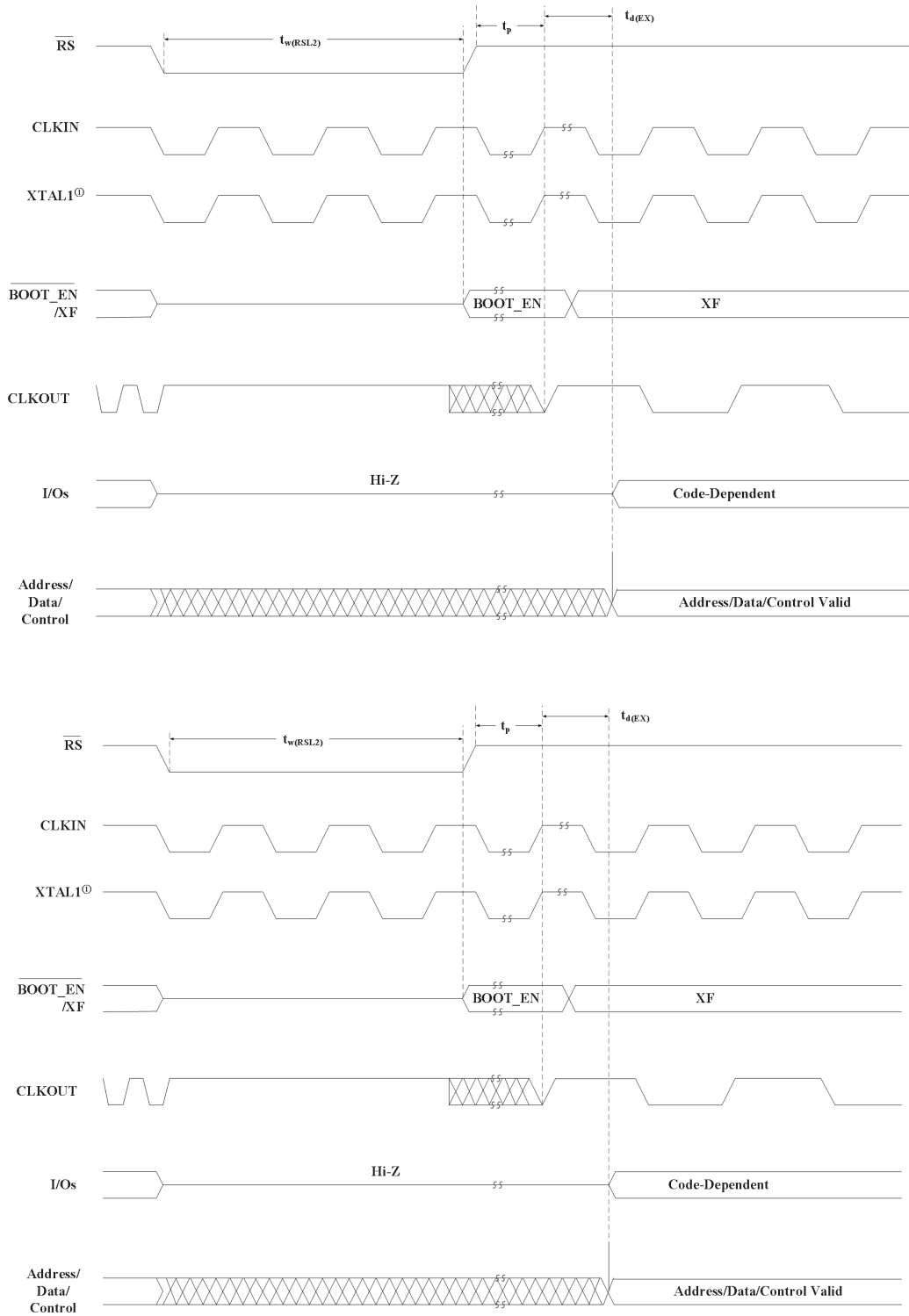
如果使用片上振荡器，则 X1 指的是内部振荡器时钟

图 5-12-2 热复位

开关特性在推荐的复位操作条件 [H = 0.5tc (CO) ] (见图 5-12-3)

参数	最小值	最大值	单位
$t_{w(RSL1)}$ 脉冲持续时间, RS 低电平 <sup>①</sup>	$128t_{c(Cl)}$		ns
$t_{d(EX)}$ 延迟时间, PLL 锁定时间后执行复位向量的时间	$36H$		ns
$t_p$ PLL 锁定时间 (输入周期)		$4096t_{c(Cl)}$	ns

参数  $t_{w(RSL1)}$  是指 RS 输出的时间



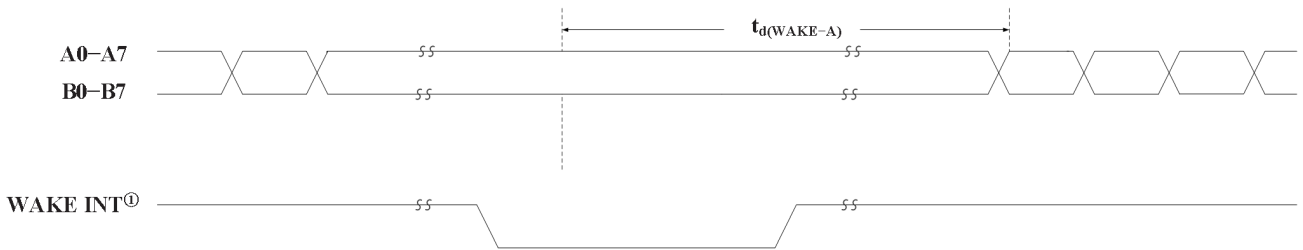
如果使用片上振荡器，则 X1 指的是内部振荡器时钟

图 5-12-3 看门狗启动复位

## 5.13 低功耗模式时序

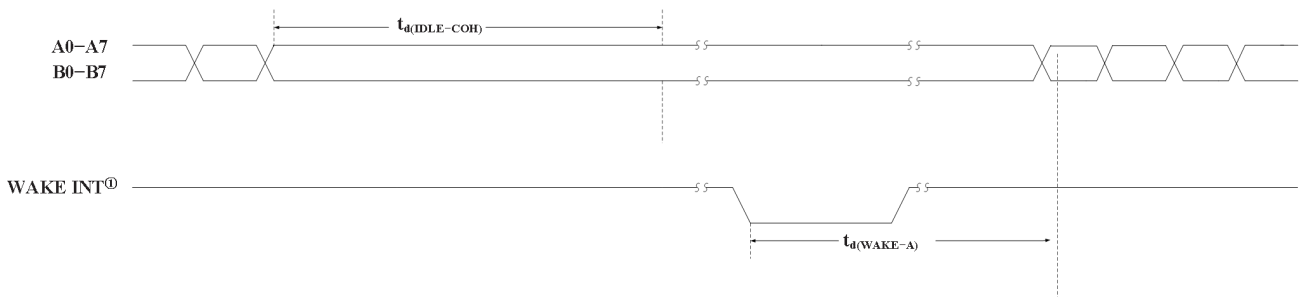
IDLE 模式开关特性在推荐运行条件下 [ $H = 0.5t_{c(CO)}$ ] (见图 5-13-1, 图 5-13-2 和图 5-13-3)

参数	低功耗模式		最小值	标称值	最大值	单位
	IDLE1	LPM0				
$t_{d(WAKE-A)}$ 延时时间, CLKOUT 切换到程序执行恢复时间	IDLE1	LPM0			$12 \times t_{c(CO)}$	ns
	IDLE2	LPM1			$15 \times t_{c(CO)}$	
$t_{d(IDLE-COH)}$ 延迟时间, 空闲指令执行到 CLKOUT 高电平时间	IDLE2	LPM1		$4 \times t_{c(CO)}$		ns
$t_{d(WAKE-OSC)}$ 延迟时间, 唤醒中断声明振荡器运行	HALT {PLL/OSC 断电}	LPM2		OSC 启动和 PLL 锁定时间		ms
				$4t_{c(CO)}$		ns
$t_{d(EX)}$ 延迟时间, 复位向量在 RS 高电平后执行			36H			ns



WAKE INT 可以是任何有效的中断或 RESET

图 5-13-1.IDLE1 进入和退出时序-LPM0



①WAKE INT 可以是任何有效的中断或 RESET

图 5-13-2 IDLE2 进入和退出时序 - LPM1

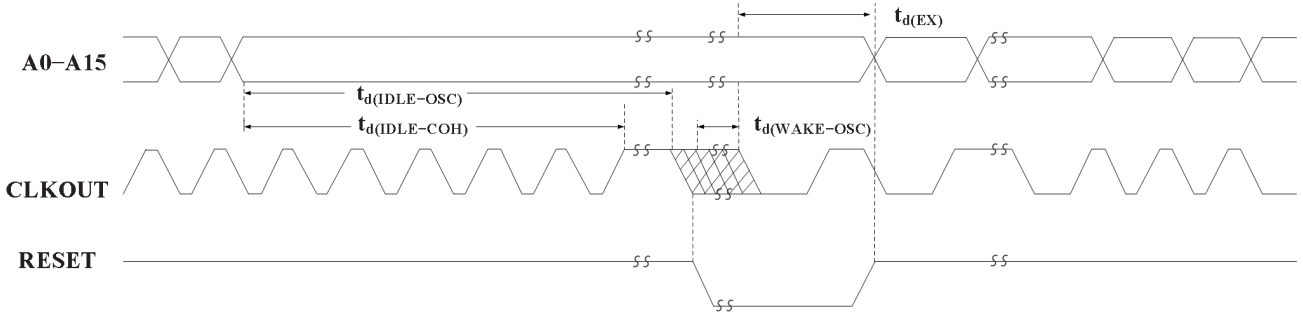


图 5-13-3 HALT 模式-LPM2

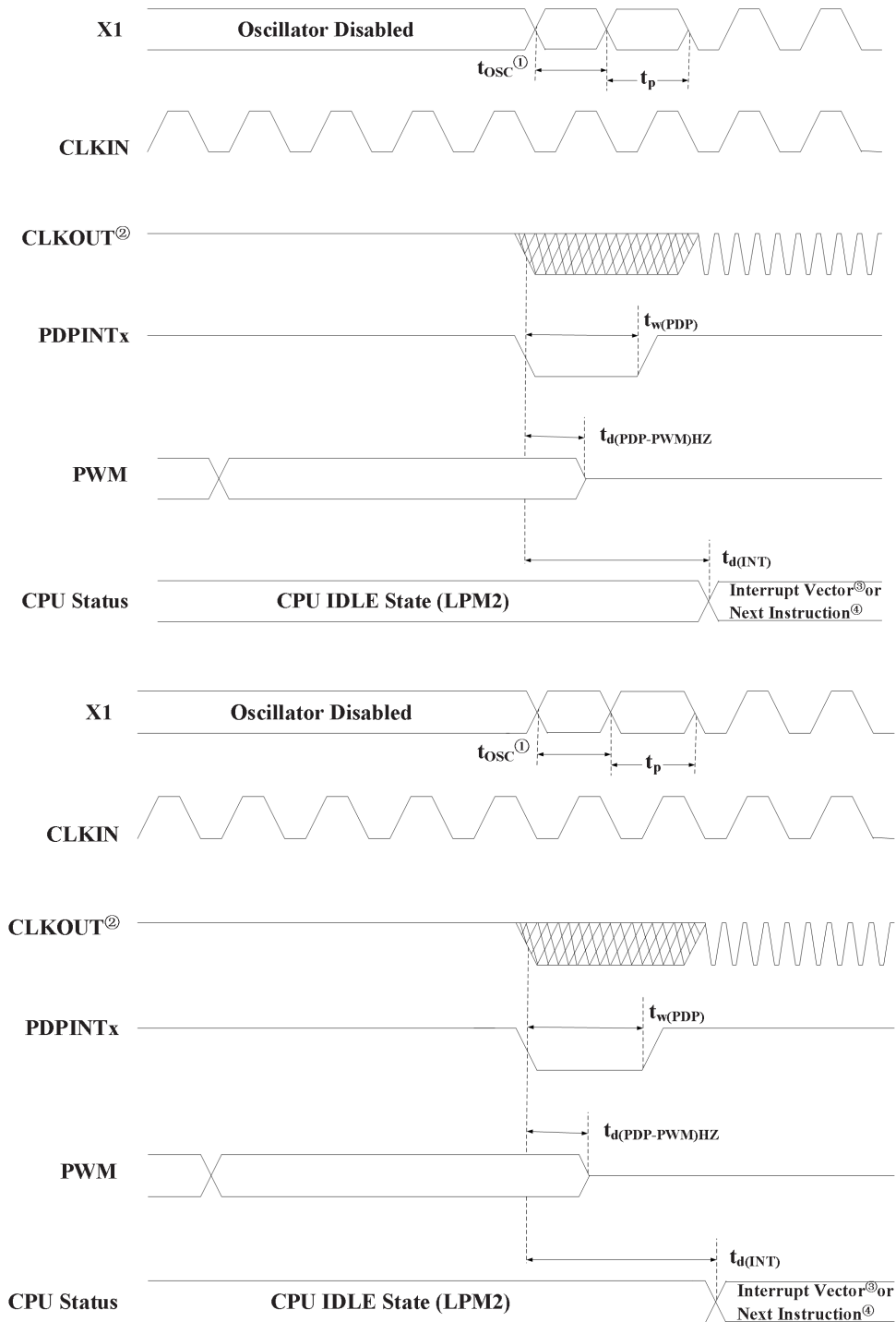
## 5.14 LPM2 唤醒定时

HALT 模式开关特性在推荐运行条件下 (见图 5-14)

参数	最小值	最大值	单位
$t_{d(PDP-PWM)HZ}$ 延迟时间, PDAINT <sub>x</sub> 低电平至 PWM 高阻状态的时间		12	ns
$t_{d(INT)}$ 延迟时间, INT 低电平/高电平到中断向量取指时间	$10t_{c(CO)}$		ns

HALT 模式时序要求[ $H = 0.5t_{c(CO)}$ ] (见图 5-14)

	最小值	标称值	最大值	单位
$t_{w(INT)}$ 脉冲持续时间, INT 输入低电平/高电平		$2H+15$		ns
$t_{w(PDP)}$ 脉冲持续时间, PDAINT <sub>x</sub> 输入低电平		$4H+5$		ns
$t_p$ PLL 锁定时间			$4096t_{c(CI)}$	周期



②  $t_{osc}$  是振荡器启动时间

② LPM2 唤醒后的 CLKOUT 频率将与进入 LPM2 时的频率（例如 x4 所示）相同。

③ 如果 PDPINTx 中断使能，PDPINTx 中断向量

③ 如果 PDPINTx 中断被禁用

图 5-14 LPM2 使用 PDPINTx 唤醒

## 5.15 时序事件管理

### 5.15.1 PWM 时序

PWM 是指 EM1 上的所有 PWM 输出。

#### PWM 时序的开关特性[ $H = 0.5t_{c(CO)}$ ] (见图 5-15-1a)

参数	最小值	最大值	单位
$t_{w(PWM)}^{①}$ 脉冲持续时间, PWMx 输出高电平/低电平时间	$2H+5$		ns
$t_{d(PWM)CO}$ 延迟时间, CLKOUT 低电平到 PWMx 输出开关时间		15	ns

① PWM 输出相对于 PWM 周期可以是 100%, 0%或者  $t_{c(CO)}$  的增量

#### 时序要求[ $H = 0.5t_{c(CO)}$ ]<sup>②</sup> (见图 5-15-1b)

	最小值	最大值	单位
$t_{w(TMRDIR)}$ 脉冲持续时间, TMRDIR 低电平/高电平时间	$4H+5$		ns
$t_{w(TMRCCLK)}$ 脉冲持续时间, TMRCLK 低于 TMRCLK 周期时间的百分比	40	60	%
$t_{wh(TMRCCLK)}$ TMRCLK 为 TMRCLK 周期时间的百分比	40	60	%
$t_{c(TMRCCLK)}$ 周期时间, TMRCLK	$4 \times t_{c(CO)}$		ns

②参数 TMRDIR 等于引脚 TDIRx, 参数 TMRCLK 等于引脚 TCLKINx

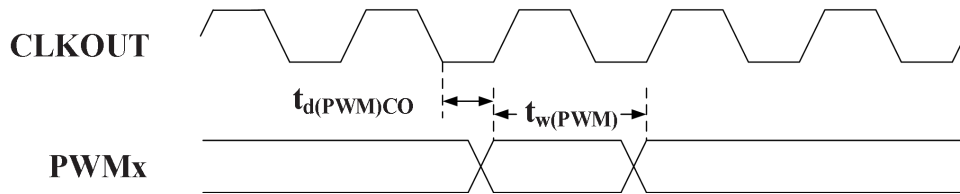


图 5-15-1a PWM 输出时序

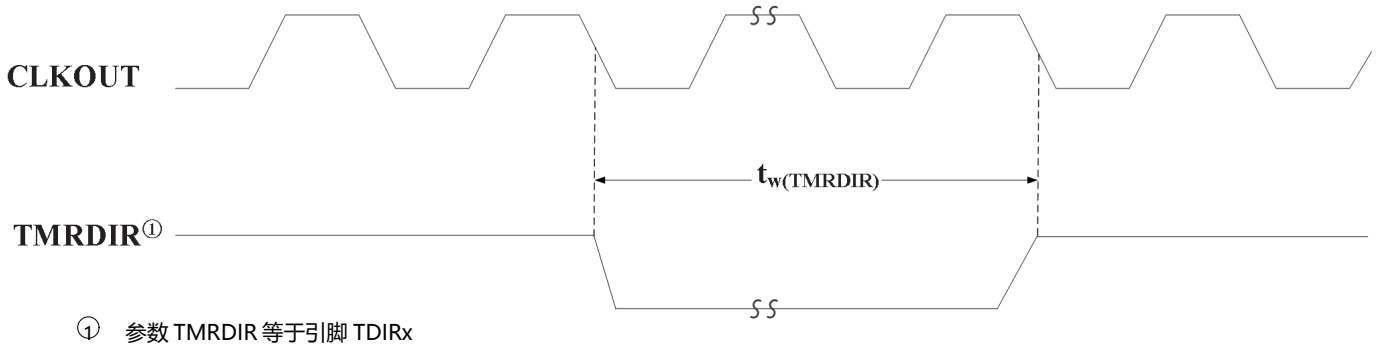


图 5-15-1b TMRDIR 时序

### 5.15.2 捕捉单元和 QEP 时序

CAP 指的是 QEP 和捕捉的所有输入引脚。

时序要求 ( $H = 0.5t_{c(CO)}$ ) (见图 5-15-2)

		最小值	最大值	单位
$t_{w(CAP)}$	脉冲持续时间, CAPx 输入低电平/高电平时间	$4H + 15$		ns

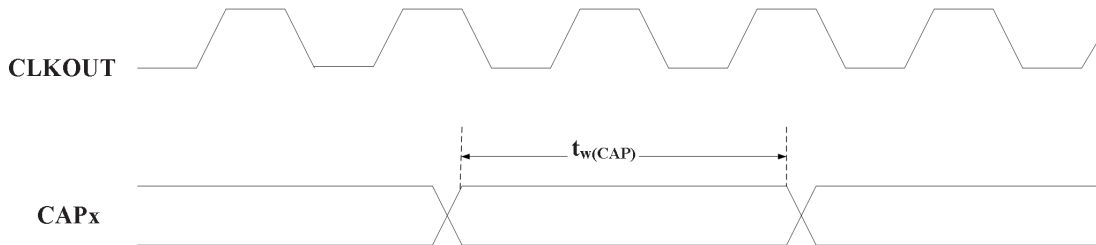


图 5-15-2 捕捉单元输入和 QEP 时序

### 5.15.3 中断时序

INT 指的是 XINT1 和 XINT2。PDP 是指 PDPINT<sub>x</sub>。

开关特性在推荐运行条件下 (见图 5-15-3)

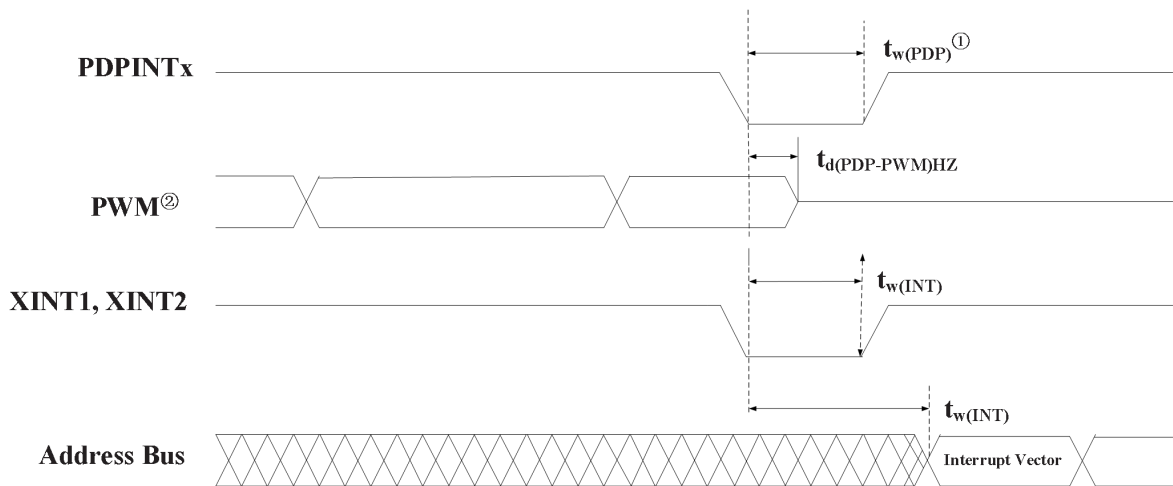
参数	最小值	最大值	单位
$t_{d(PDP-PWM)HZ}$	延迟时间, PDPINT <sub>x</sub> 低电平至 PWM 高阻状态时间		12 ns

$t_{d(INT)}$	延迟时间, INT 低电平/高电平到中断向量取指时间	$10t_{c(CO)}$	ns
--------------	----------------------------	---------------	----

### 时序要求[H = 0.5 $t_{c(CO)}$ ] (见图 5-15-3)

	最小值	标称值	最大值	单位
$t_{w(INT)}$		2H+15		ns
$t_{w(PDP)}^{①}$		4H+5		ns

①为了保持 ADP16 和其他未来器件的兼容性, 建议在至少 7 或 13 个 CLKOUT 周期内将 PDPINT<sub>x</sub> 驱动为低电平。



①为了保持与 ADP16 和其他未来器件的兼容性, 建议在至少 7 或 13 个 CLKOUT 周期内将 PDPINT<sub>x</sub> 驱动为低电平

②PWM 是指器件中的所有 PWM 引脚 (即 PWM<sub>n</sub> 和 TnPWM 引脚)。 PDPINT<sub>x</sub> 之后的 PWM 引脚状态为高电平取决于 FCOMPOE 位的状态。

图 5-15-3 外部中断时序

## 5.16 通用输入/输出时序

### 开关特性在推荐运行条件下 (见图 5-16a)

参数	最小值	最大值	单位
$t_{d(GPO)CO}$ 延迟时间, CLKOUT 低电平到 GPIO 低电平/高电平的时间	所有 GPIO	9	ns



$t_{r(GPO)}$	上升时间, GPIO 从低电平切换到高电平的时间	所有 GPIO	8	ns
$t_{f(GPO)}$	下降时间, GPIO 从高电平切换到低电平的时间	所有 GPIO	6	ns

**时序要求[H = 0.5t<sub>c(CO)</sub>] (见图 5-16b)**

	最小值	最大值	单位
$t_{w(GPI)}$	脉冲持续时间, GPI 高/低时间		ns

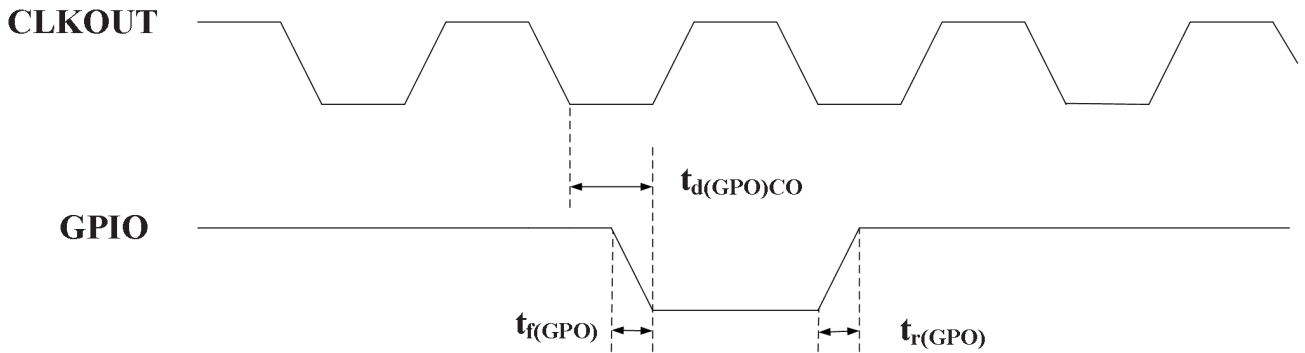


图 5-16a 通用输出时序

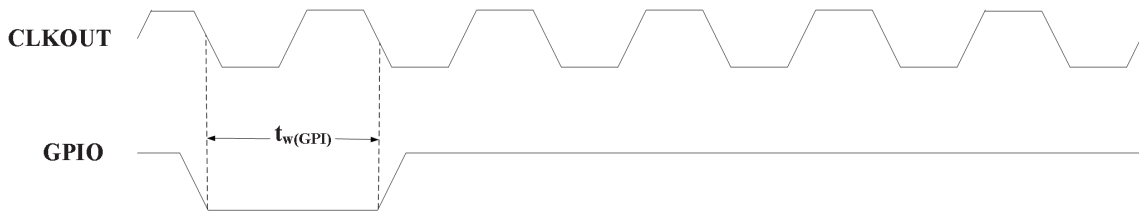


图 5-16b 通用输入时序

**5.17 SPI 主模式时序参数**

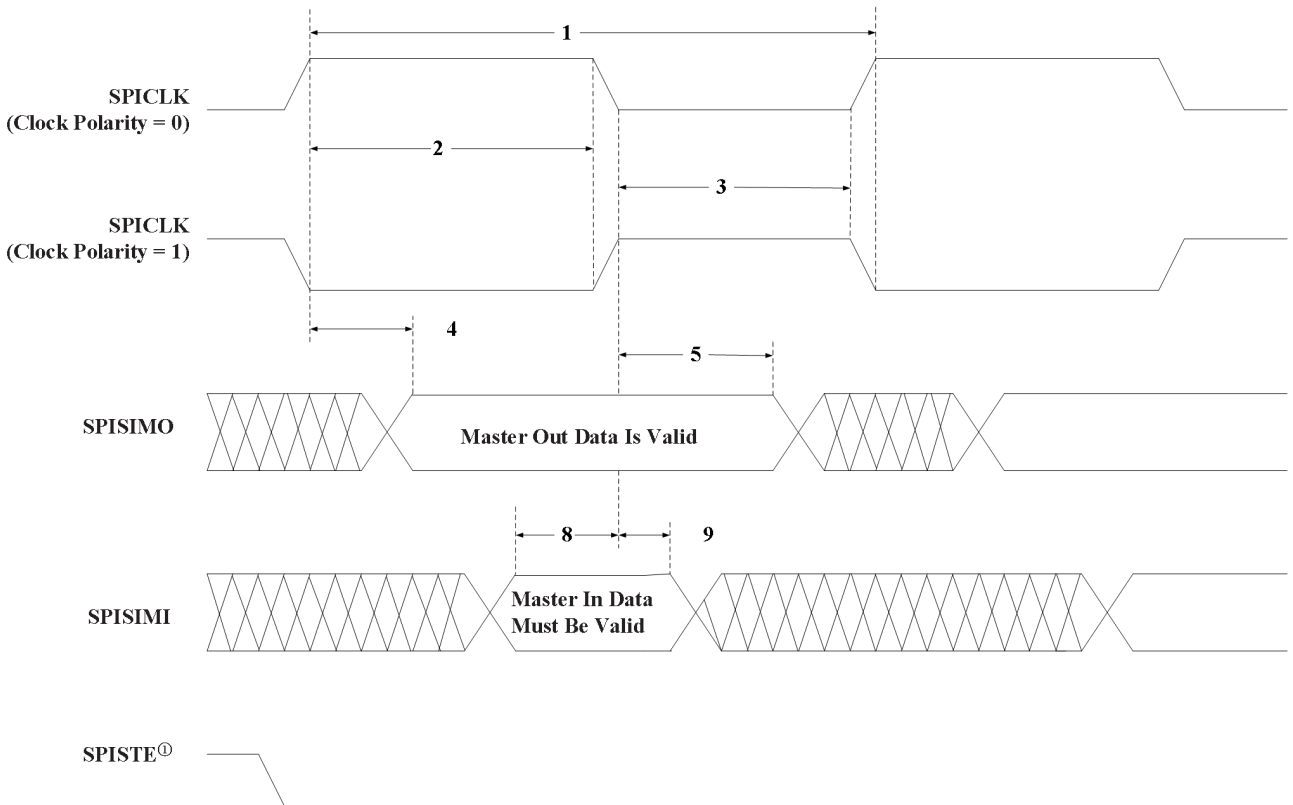
表 5-17a 和表 5-17b 列出了 SPI 主控模式时序。

表 5-17a SPI 主模式外部时序 (时钟相位= 0) ①② (见图 5-17a)

编号	当(SPIBRR+1) 为偶数 或者 SPIBRR=0 或者 2 时的 SPI	当(SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI	单 位

		最小值	最大	最小值	最大值	
		值				
1	$t_{c(SPCM)}$ 周期时间, SPICLK	$4t_{c(CO)}$ $128t_{c(CO)}$		$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 <sup>③</sup>	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$ $0.5t_{c(SPCM)}$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$ $0.5t_{c(LCO)}$	$0.5t_{c(SPCM)} -$	ns
	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$ $0.5t_{c(SPCM)}$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$ $0.5t_{c(LCO)}$	$0.5t_{c(SPCM)} -$	
3 <sup>③</sup>	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$ $0.5t_{c(SPCM)}$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$ $0.5t_{c(LCO)}$	$0.5t_{c(SPCM)} +$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$ $0.5t_{c(SPCM)}$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$ $+0.5t_{c(LCO)}$	$0.5t_{c(SPCM)}$	
4 <sup>③</sup>	$t_{d(SPCH-SIMO)M}$ 延迟时间, SPICLK 高电平至SPISIMO 有效的时间 (时钟极性=0)	-10	10	-10	10	ns
	$t_{d(SPCL-SIMO)M}$ 延迟时间, SPICLK 低电平至SPISIMO 有效的时间 (时钟极性=1)	-10	10	-10	10	
5 <sup>③</sup>	$t_{v(SPCL-SIMO)M}$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SPCH-SIMO)M}$ 有效时间, SPICLK 高电平之后, SPISIMO 数据有效的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$		
8 <sup>③</sup>	$t_{su(SOMI-SPCL)M}$ 建立时间, SPISOMI 在SPICLK 低电平之前的时间 (时钟极性= 0)	0		0		ns
	$t_{su(SOMI-SPCH)M}$ 建立时间, SPISOMI 在SPICLK 高电平之前的时间 (时钟极性= 1)	0		0		
9 <sup>③</sup>	$t_{v(SPCL-SOMI)M}$ 有效时间, SPICLK 低电平之后SPISOMI 数据有效的时间 (时钟极性= 0)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SPCH-SOMI)M}$ 有效时间, SPICLK 高电平之后SPISOMI 数据有效的时间 (时钟极性= 1)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$		

- ①主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。
- ② $t_c$  为系统时钟周期时间:  $t_c = 1 / \text{CLKOUT} = t_c(\text{CO})$
- ③作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成

图 5-17a SPI 主模式外部时序 (时钟相位= 0)

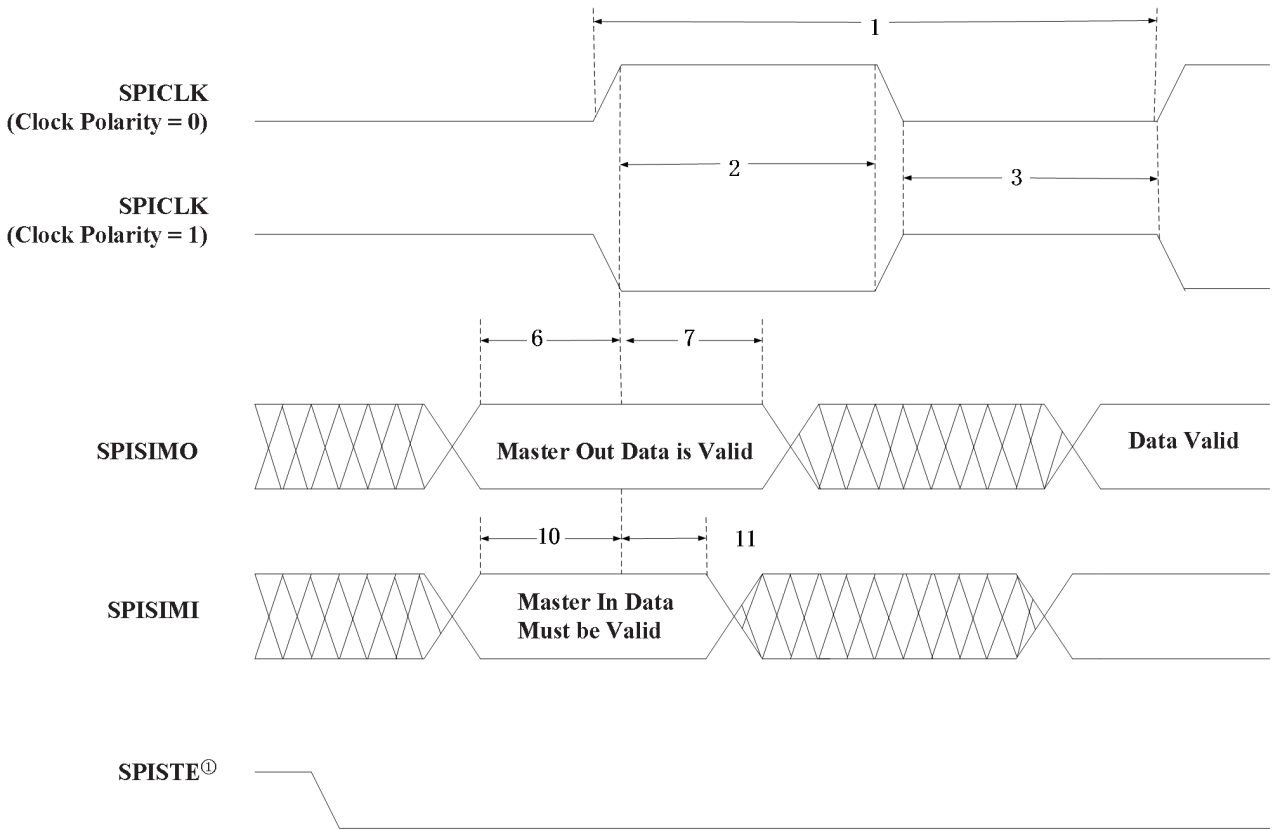
表 5-17b SPI 主控模式外部时序 (时钟相位= 1) <sup>①②</sup> (见图 5-17b)

编号		当(SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当(SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPCM)}$ 周期时间, SPICLK	$4t_{c(CO)}$	$128t_{c(CO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2 <sup>③</sup>	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} - 0.5t_{c(LCO)}$	
3 <sup>③</sup>	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$	$0.5t_{c(SPCM)}$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPCM)} + 0.5t_{c(LCO)}$	
6 <sup>③</sup>	$t_{su(SIMO-SPCH)M}$ 建立时间, 在SPICLK 高电平之前SPISIMO 数据有效的 时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{su(SIMO-SPCL)M}$ 建立时间, 在SPICLK 低电平之前SPISIMO 数据有效的 时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		
7 <sup>③</sup>	$t_{v(SPCH-SIMO)M}$ 有效时间, SPICLK 高电平后, SPISIMO 数据有效的 时间 (时钟极性= 0)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{v(SPCL-SIMO)M}$ 有效时间, SPICLK 低电平之后, SPISIMO 数据有效的 时间 (时钟极性= 1)	$0.5t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		
10 <sup>③</sup>	$t_{su(SOMI-SPCH)M}$ 建立时间, SPISOMI 在SPICLK 高电平之前的时间 (时钟极性= 0)	0		0		ns
	$t_{su(SOMI-SPCL)M}$ 建立时间, SPISOMI 在SPICLK 低电平之前的时间 (时钟极性= 1)	0		0		
11 <sup>③</sup>	$t_{v(SPCH-SOMI)M}$ 有效时间, SPICLK 高电平之后SPISOMI 数据有效的 时间 (时钟极性= 0)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		ns
	$t_{v(SPCL-SOMI)M}$ 有效时间, SPICLK 低电平之后SPISOMI 数据有效的 时间 (时钟极性= 1)	$0.25t_{c(SPCM)} - 10$		$0.5t_{c(SPCM)} - 10$		

① 主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3) 被清除。

②  $t_c$  为系统时钟周期时间,  $t_c = 1 / CLKOUT = t_{c(CO)}$

③ 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成。

图 5-17b SPI 主模式外部时序 (时钟相位=1)

## 5.18 SPI 受控模式时序参数

表 5-18a 和表 5-18b 列出了 SPI 受控模式时序。

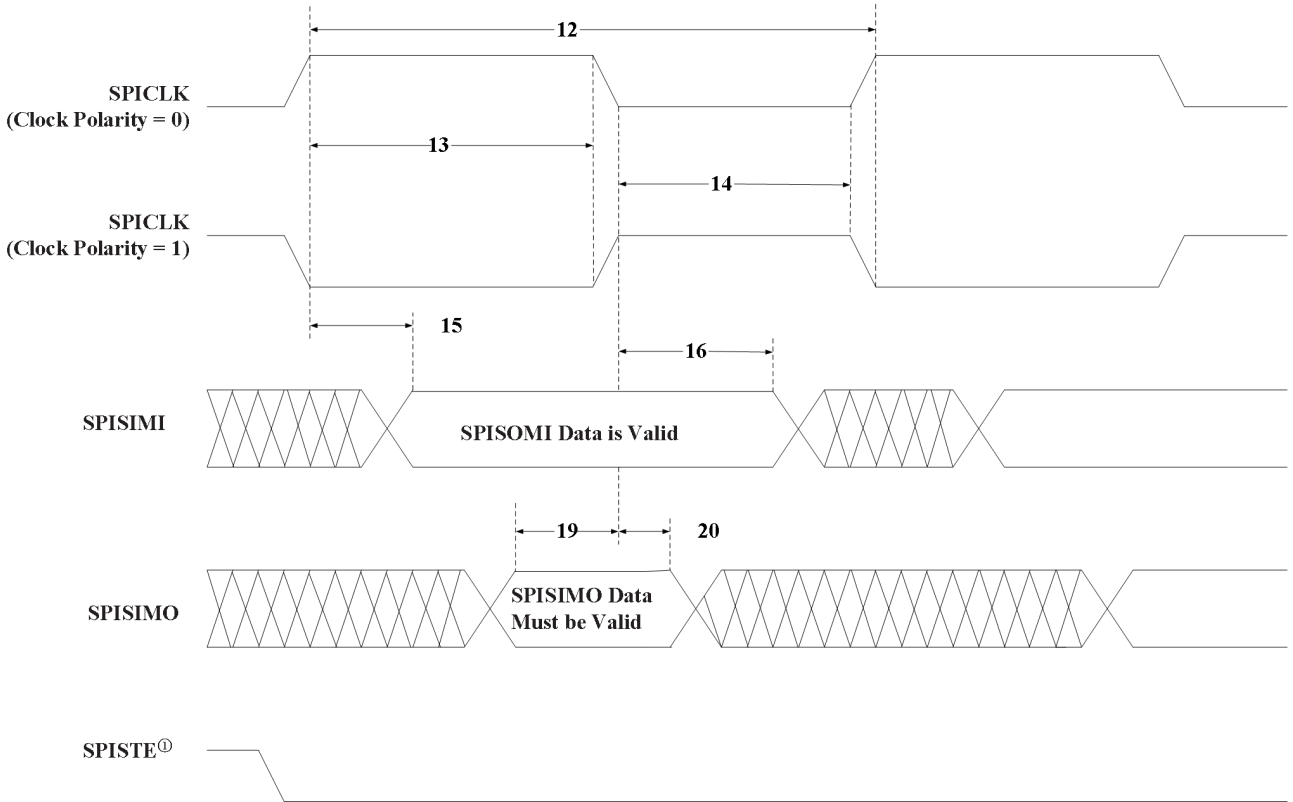
表 5-18a SPI 受控模式外部时序参数(时钟相位= 0)<sup>①②</sup> (见图 5-18a)

编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$4t_{c(CO)}$		ns
13 <sup>③</sup>	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性= 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性= 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
14 <sup>③</sup>	$t_{w(SPC L)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性= 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性= 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
15 <sup>③</sup>	$t_{d(SPCH-SOMI)S}$ 延迟时间, SPICLK 高电平至 SPISOMI 有效 (时钟极性= 0)	$0.375t_{c(SPC)S} - 10$		ns
	$t_{d(SPCL-SOMI)S}$ 延迟时间, SPICLK 低电平至 SPISOMI 有效 (时钟极性= 1)	$0.375t_{c(SPC)S} - 10$		
16 <sup>③</sup>	$t_{v(SPCL-SOMI)S}$ 有效时间, SPICLK 低电平之后, SPISOMI 数据有效 (时钟极性=0) 的时间	$0.75t_{c(SPC)S}$		ns
	$t_{v(SPCH-SOMI)S}$ 有效时间, SPICLK 高电平之后, SPISOMI 数据有效 (时钟极性=1) 的时间	$0.75t_{c(SPC)S}$		
19 <sup>③</sup>	$t_{su(SIMO-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性= 0)	0		ns
	$t_{su(SIMO-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性= 1)	0		
20 <sup>③</sup>	$t_{v(SPCL-SIMO)S}$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性= 0)	$0.5t_{c(SPC)S}$		ns
	$t_{v(SPCH-SIMO)S}$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性=1)	$0.5t_{c(SPC)S}$		

① 主控/受控位(SPICTL.2) 被设定, 而时钟相位的位(SPICTL.3)被清除。

②  $t_c$  为系统时钟周期时间,  $t_c = 1/CLKOUT = t_{c(CO)}$

③ 作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。



① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成

图 5-18a SPI 受控模式外部时序 (时钟相位= 0)

表 5-18b SPI 受控模式外部时序(时钟相位 = 1)<sup>①②</sup> (见图 5-18b)

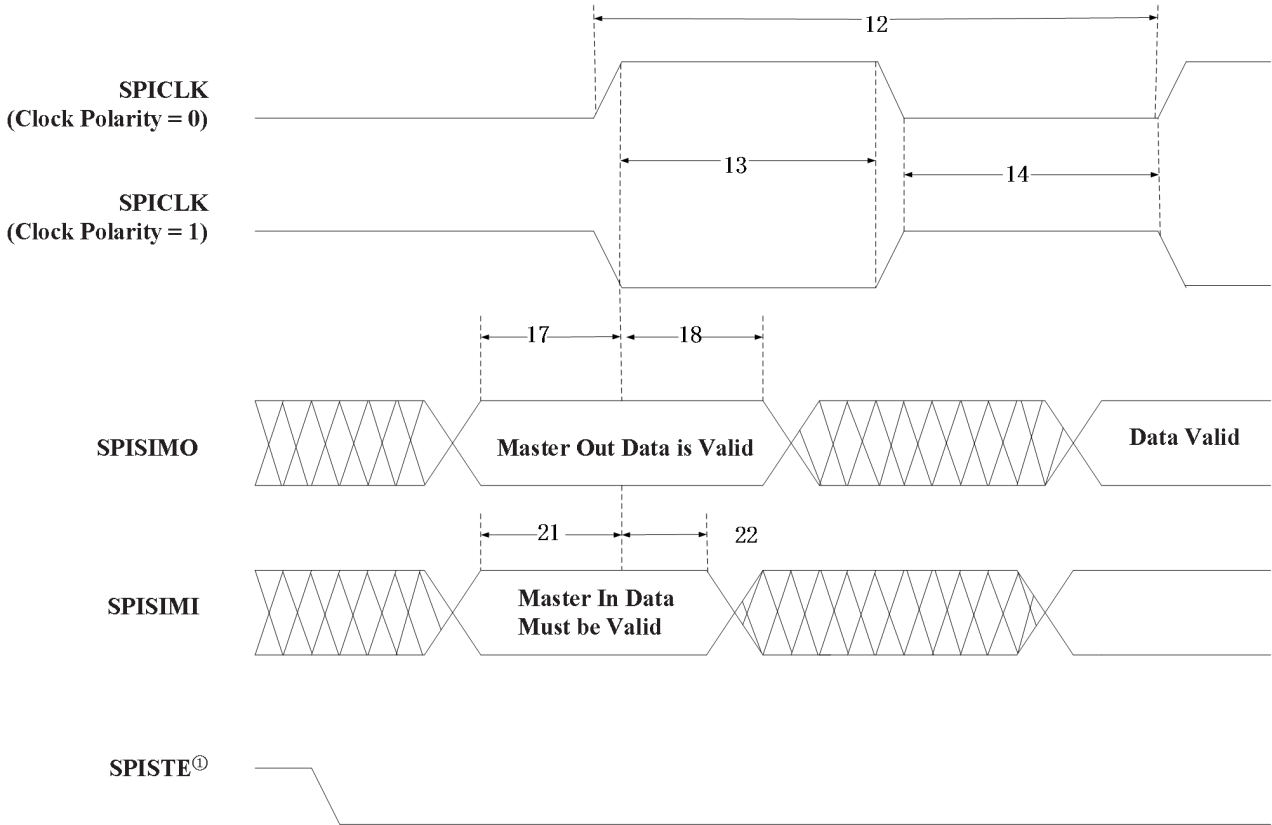
编号		最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$8t_{c(CO)}$		ns
13 <sup>③</sup>	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
14 <sup>③</sup>	$t_{w(SPCL)S}$ 脉冲持续时间, SPICLK 低电平 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	ns
	$t_{w(SPCH)S}$ 脉冲持续时间, SPICLK 高电平 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 10$	$0.5t_{c(SPC)S}$	
17 <sup>③</sup>	$t_{su(SOMI-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	$0.125t_{c(SPC)S}$		ns
	$t_{su(SOMI-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	$0.125t_{c(SPC)S}$		
18 <sup>③</sup>	$t_{v(SPCH-SOMI)S}$ 有效时间, SPICLK 高电平之后, SPISOMI 数据有效 (时钟极性 = 0) 的时间	$0.75t_{c(SPC)S}$		ns
	$t_{v(SPCL-SOMI)S}$ 有效时间, SPICLK 低电平之后, SPISOMI 数据有效 (时钟极性 = 1) 的时间	$0.75t_{c(SPC)S}$		
21 <sup>③</sup>	$t_{su(SIMO-SPCH)S}$ 建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	0		ns
	$t_{su(SIMO-SPCL)S}$ 建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	0		
22 <sup>③</sup>	$t_{v(SPCH-SIMO)S}$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)S}$		ns
	$t_{v(SPCL-SIMO)S}$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)S}$		

①主控/受控位(SPICTL.2) 被清除, 而时钟相位的位(SPICTL.3) 被设定

② $t_c$  为系统时钟周期时间,  $t_c = 1/CLKOUT = t_{c(CO)}$

③作为基准的 SPICLK 信号的有效沿由 CLOCK POLARITY (时钟极性) 位(SPICCR 6) 控制。





① SPISTE 信号必须在 SPI 通信流开始之前处于活动状态; SPISTE 信号必须保持有效, 直到 SPI 通信流完成。

图 5-18b SPI 受控模式外部时序 (时钟相位= 1)

## 5.19 12 位模数转换器 (ADC)

12 位 ADC 的模拟电路有单独的电源总线。这些引脚涉及到  $V_{CCA}$  和  $V_{SSA}$ 。这些隔离的电源总线是为了通过防止数字逻辑电路  $V_{SS}$  和  $V_{CC}$  产生的噪声连接到模拟模块从而增强 ADC 的能力。所以 ADC 规格详述将遵守  $V_{SSA}$  给出, 除非有另外说明。

分辨率-----	12 位
单调性-----	确定
输出转换模式-----	000h to FFFh
转换时间 (包括采样时间) -----	300ns

## 5.20 运行环境

表 5-20 运行环境

参数		最小值	正常值	最大值	单位
V <sub>CCA</sub>	模拟供电电压	3.0	3.3 <sup>(1)</sup>	3.6	V
V <sub>SSA</sub>	模拟地		0		V
V <sub>AI</sub>	模拟输入电压, ADCIN00—ADCIN07	0		3.0	V

(1) 由于公共电流压降, 会造成实际 K 值偏大, 若有条件使 VCCA 运行于 3.336 下可补偿此 K 值偏差

## 5.21 ADC 运行频率

表 5-21 ADC 运行频率

参数	MIN	MAX	单位
ADC 运行频率	0.001	4	MHZ

## 5.22 Flash 参数

表 5-22 Flash 访问时序

参数	最小值	典型值	最大值	单位
ta(rp)	页式 Fash			ns
ta(rr)	随机 Flash			ns

## 5.23 在推荐运行条件范围下的 ADC 电气特性

表 5-23 ADC 电气特性 (在推荐运行条件下)<sup>(1) (2)</sup>

参数	最小值	典型值	最大值	单位
<b>DC 技术规范<sup>(3)</sup></b>				
分辨率	12			位
ADC 时钟	1			KHz
			4	MHz
<b>精度</b>				
INL (2MSPS)		≤ ±4		LSB
DNL (2MSPS)		≤ ±2		LSB
偏移误差 <sup>(4)</sup>	50		50	LSB

带有外部基准的总增益误差 <sup>(4) (5)</sup>	-80		80	LSB
通道到通道偏移变化		±8		LSB
通道到通道增益变化		±8		LSB
<b>模拟输入</b>				
模拟输入电压 (ADCIN <sub>x</sub> to ADCLO) <sup>(7)</sup>	0		3	V
ADCLO	-5	0	5	mV
ADC 漏电流		0.6		uA
<b>外部电压基准<sup>(6) (8)</sup></b>				
VREFHI (VCCA)	3	3.336	3.6	V
VREFLO (VSSA)		0		V
VREFHI-VREFLO(VCCA-VSSA)电压差异		3.336		V
温度系数		50		PPM/°C
基准噪声		100		uV
<b>AC 技术规范</b>				
SINAD 信噪比+失真		57.3		dB
SNR 信噪比		57.7		dB
THD 总谐波失真		-68.4		dB
ENOB 有效位数		9.2		Bit
SFDR 无杂散动态范围		70.6		dB

(1) 在 VCCA=3.336V, VSSA=0V, ADC 时钟 4MHz, ADC 采样速率 2MSPS 的条件下测试;

(2) 表中所列的所有电压都是参考 VSSA;

(3) 1LSB 为  $3/4096=0.732\text{mV}$  的加权值;

(4) 测试值满足产品规定的全温度范围变化造成的影响;

(5) 外部基准源 (VCCA-VSSA 的差值) 的精度直接决定此项测试值的偏差;

(6) 外部基准源 (VCCA-VSSA 的差值) 的精度、噪声和温度系数直接决定此项测试值的偏差;

(7) 电压高于 VCCA+0.3V 或低于 VSSA-0.3V 会暂时影响其他通道的转换结果, 每个引脚上的最大持续钳位电流为 ±2mA, 为避免出现问题, 请保持电压值在限定范围内;

(8) 为了达到更好的精度, 建议外部基准源 (VCCA-VSSA 的差值) 的误差 ≤ ±1%, 外接电容 ≥ 20uF.

## 5.24 在推荐运行条件范围下的 PGA 电气特性

表 5-24-1 PGA 同相放大电气特性 (在推荐运行条件下)<sup>(1) (2)</sup>

参数	最小值	典型值	最大值	单位
输入失调	-10		+10	mV
输入范围	0		VCCA-0.7	V
输出范围	0.1		VCCA-0.5	V
放大倍数 1	1.98	2.02	2.07	

放大倍数 2	2.96	3.03	3.09	
放大倍数 4	4.95	5.05	5.15	
放大倍数 8	8.78	8.96	9.16	
放大倍数 16	16.18	16.52	16.85	
放大倍数 32	30.69	31.32	31.95	

表 5-24-2 PGA 反相放大电气特性 (在推荐运行条件下) <sup>(1) (2)</sup>

参数	最小值	典型值	最大值	单位
输入失调	-10		+10	mV
输入范围	0		VCCA-0.7	V
输出范围	0.1		VCCA-0.5	V
放大倍数 1	1.02	1.04	1.06	
放大倍数 2	2.00	2.04	2.08	
放大倍数 4	3.92	4.00	4.08	
放大倍数 8	7.51	7.91	8.07	
放大倍数 16	15.28	15.59	15.90	
放大倍数 32	29.74	30.35	30.96	

(1) 在 VCCA=3.336V, VSSA=0V, ADC 时钟 4MHz, ADC 采样速率 2MSPS 的条件下测试;

(2) 表中所列的所有电压都是参考 VSSA;

## 5.25 在推荐运行条件范围下的 OPA 电气特性

表 5-25 OPA 电气特性 (在推荐运行条件下) <sup>(1) (2)</sup>

参数	最小值	典型值	最大值	单位
输入失调	-10		+10	mV
输入范围	0		VCCA-0.7	V
输出范围	0.1		VCCA-0.5	V
SR (负载 20pF)		20		V/us

(1) 在 VCCA=3.336V, VSSA=0V 条件下测试;

(2) 表中所列的所有电压都是参考 VSSA;

## 5.26 在推荐运行条件范围下的比较器电气特性

表 5-26 比较器电气特性 (在推荐运行条件下) <sup>(1) (2)</sup>

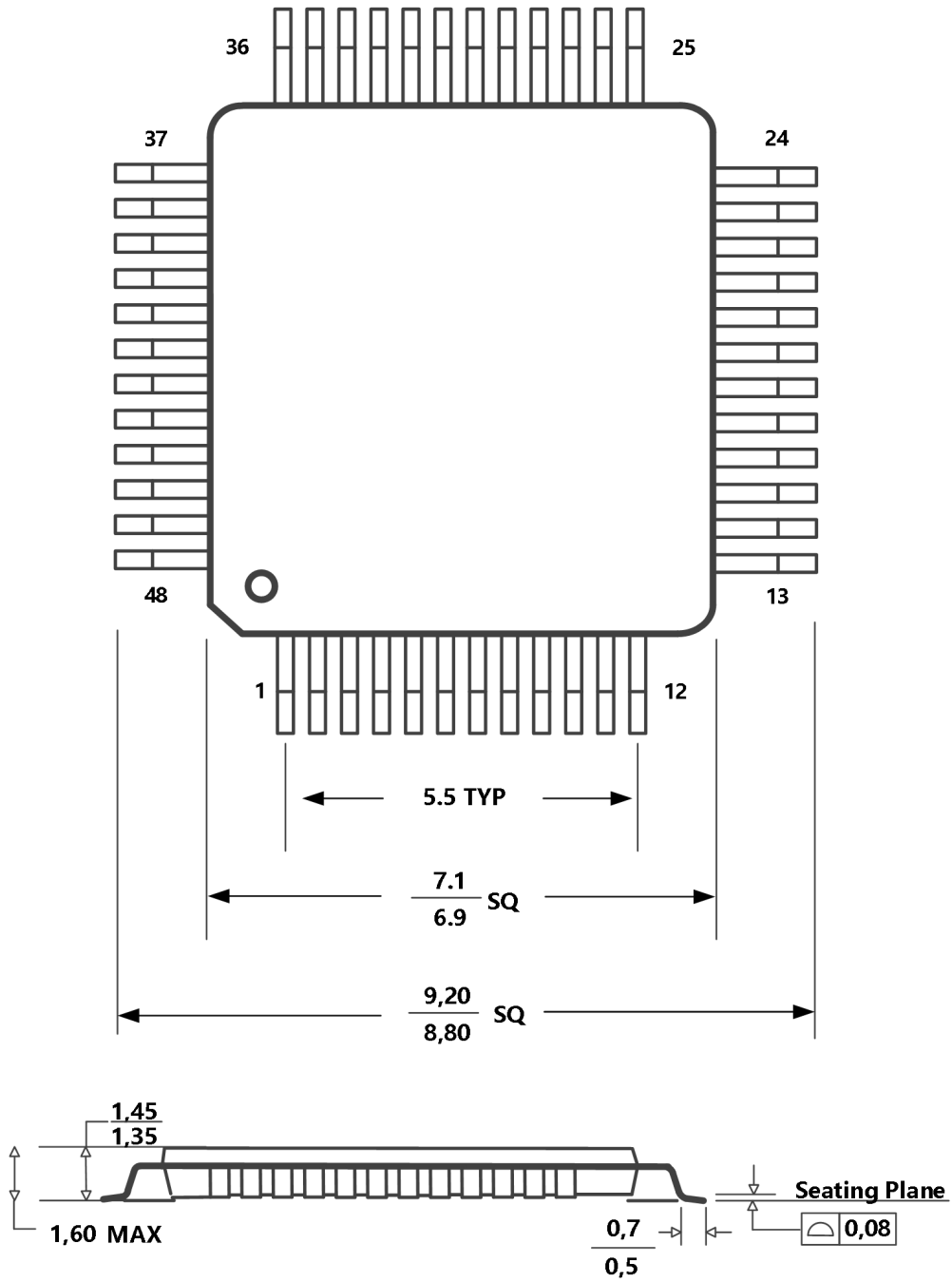
参数	最小值	典型值	最大值	单位
共模输入范围	0		VCCA	V
输入失调	-10		10	mV
迟滞电压		25		mV
输入阻抗		250		KΩ
传输延时			100	ns

(1) 在 VCCA=3.336V, VSSA=0V 条件下测试;

(2) 表中所列的所有电压都是参考 VSSA;

## 6 机械数据

LQFP48



单位: mm

图 6-1 LQFP48 封装外形尺寸图

## 联系方式

公司网址: [www.advancechip.com](http://www.advancechip.com)

**联系邮箱 : sales@advancechip.com**

**销售联系电话: 0731-88731027**

**公司总部地址: 长沙市高新开发区尖山路 39 号中电软件园总部大楼 10 楼**